

# FAMILIAS LÓGICAS CON TRANSISTORES MOS

## FAMILIA CMOS

El número de transistores que se requieren en esta lógica para implementar una puerta lógica de N entradas es de 2N.

Esta tecnología presenta unos niveles de tensión de salida  $V_{OH} = V_{DD}$  y  $V_{OL} = GND$ , lo que da como resultado un amplio margen ante el ruido. Además, estos niveles lógicos no dependen de los tamaños relativos de los transistores.

Los tiempos de subida y de bajada pueden ser calculados mediante los siguientes modelos:

$$t_{HL} = 0.69R_N C_L$$

$$t_{LH} = 0.69R_P C_L$$

Normalmente se busca que estos tiempos sean los más próximos posible, lo que se consigue haciendo que las resistencias de la red NMOS y de la red PMOS sean iguales.

Desarrollando una de las fórmulas anteriores llegamos al siguiente modelo:

$$t_{HL} \approx 0.52 \frac{C_L}{(W/L)_N K'_N V_{DSATN}}$$

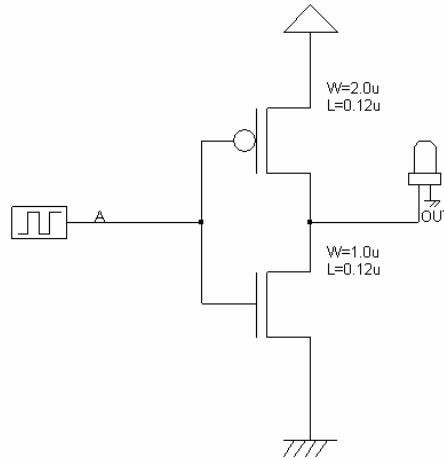
Observamos que para minimizar el retardo podemos modificar los siguientes parámetros:

- 1º) Reducir  $C_L$ . Cuanto menor sea el área de difusión del drenador menor será esta capacidad.
- 2º) Incrementar W/L. Hay que tener cuidado con esta medida, ya que si aumentamos en exceso el tamaño del transistor, aumentaremos también  $C_L$ .

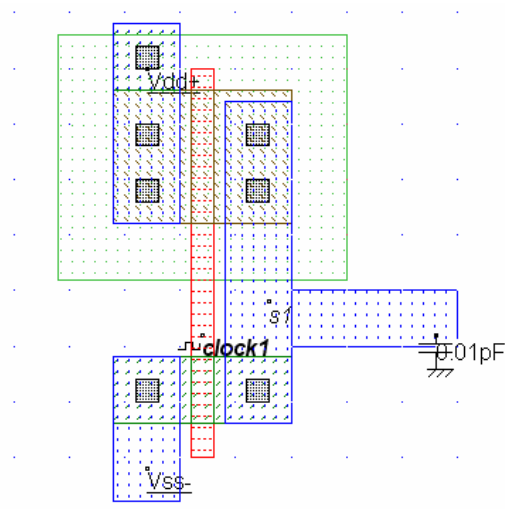
Basándonos en estas razones se han elegido (tras diversas pruebas) el tamaño de los distintos transistores para esta familia.

INVERSOR (“*inversor CMOS.sch*”, “*inversor CMOS.msk*”)

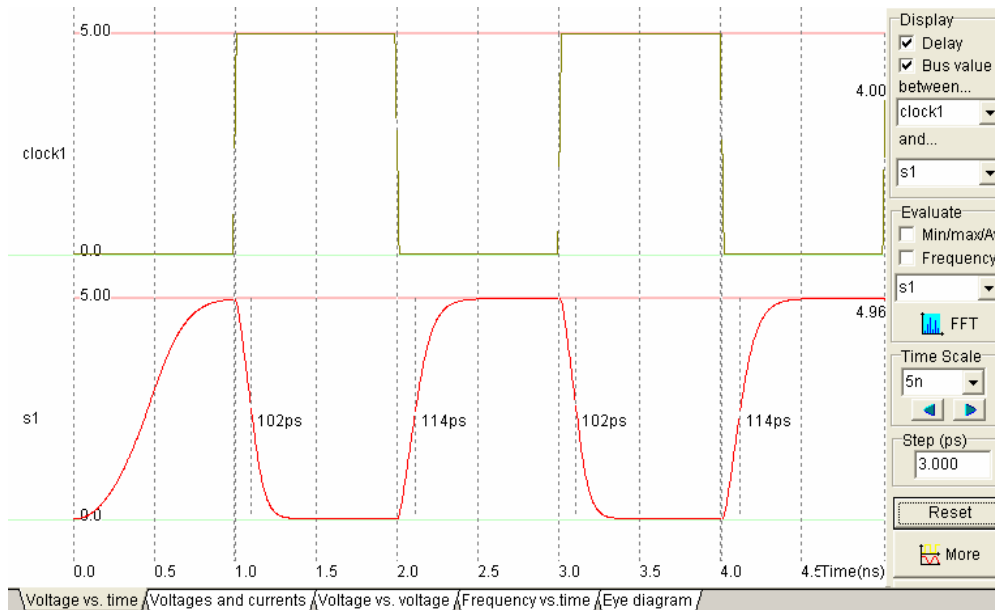
El esquema de bloques de un inversor en tecnología CMOS es el que se muestra a continuación:



Para que los tiempos de subida y de bajada de la función sean similares, la resistencia de la red PMOS y la de la red NMOS deben ser iguales. Teniendo en cuenta que para una misma relación W/L de los transistores, la red P presenta una resistencia entorno a dos veces mayor que la de la red N, para conseguir un buen inversor, el transistor de tipo P debe ser el doble de grande que el de tipo N, tal y como hemos implementado (tipo P: W/L=6, tipo N: W/L=3).



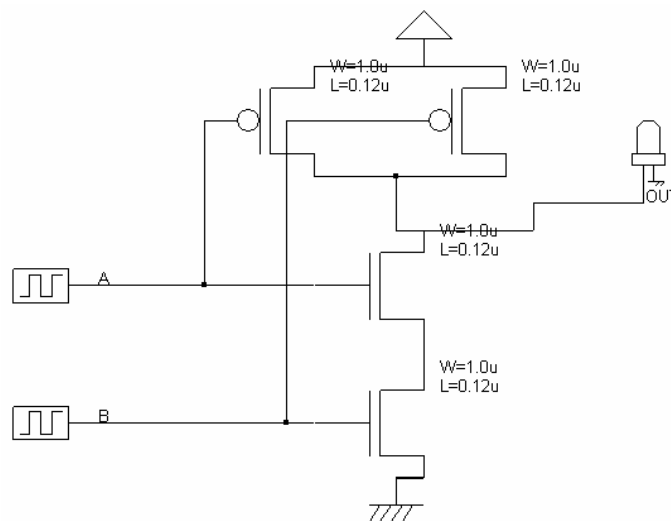
Como se puede apreciar, se ha colocado un condensador de 0.01 pF a la salida de la puerta para caracterizar la misma.



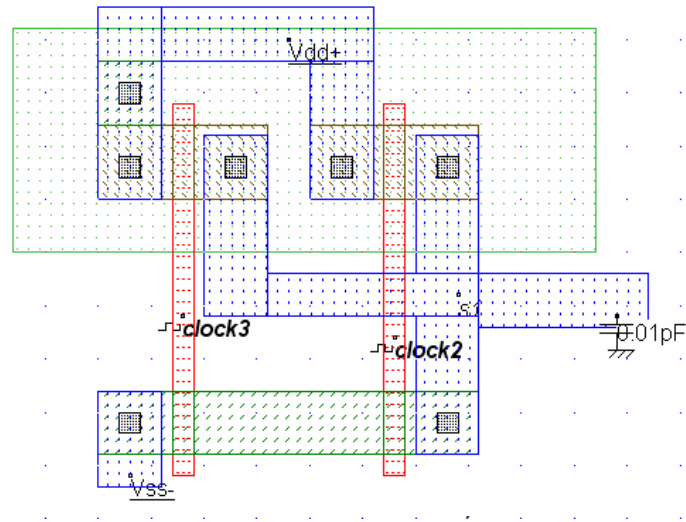
Apreciamos unos tiempos de subida y de bajada similares.

NAND (2 entradas) (“nand2 CMOS.sch”, “nand2 CMOS1.msk”, “nand2 CMOS2.msk”)

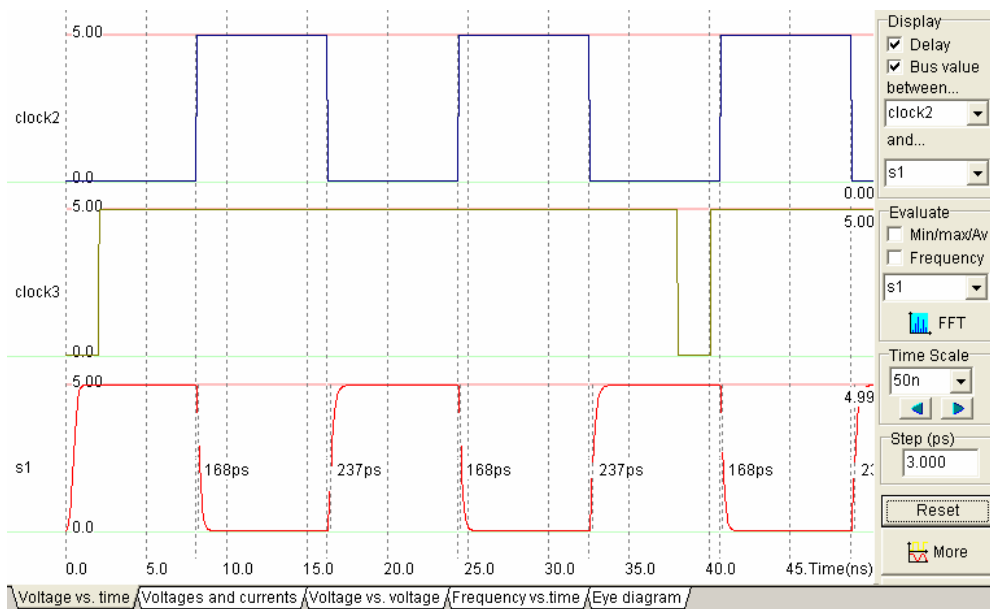
El esquema que se muestra a continuación representa una puerta nand de dos entradas con tecnología CMOS:



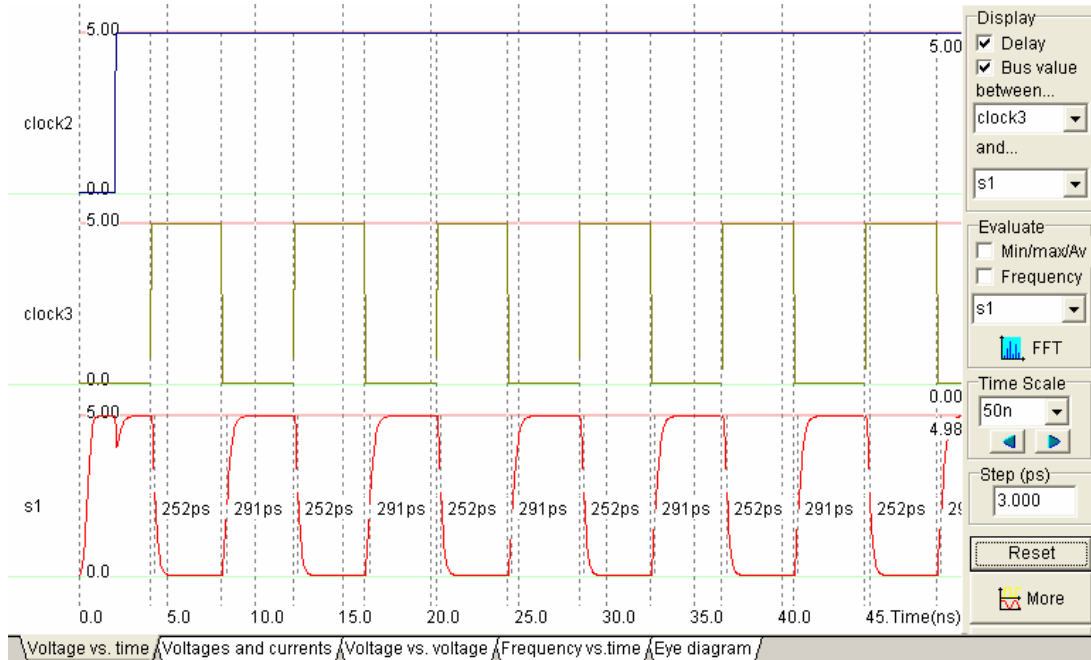
Según lo calculado para obtener resistencias iguales en la red de tipo P y en la red de tipo N, los todos transistores deben tener las mismas dimensiones. En nuestro caso hemos elegido  $W/L=3$ .



En la siguiente gráfica se muestran los tiempos de subida y de bajada al colocar a la salida de la puerta un condensador de 0.01 pF.

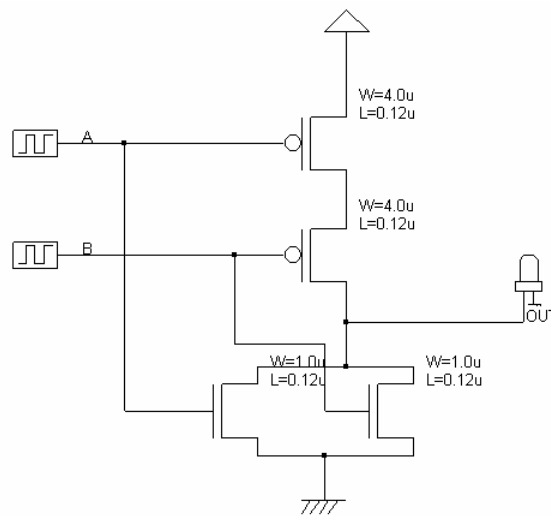


Si hacemos los transistores de la red P un poco más grandes ( $W/L=3.5$ ), obtenemos unos tiempos más parecidos:

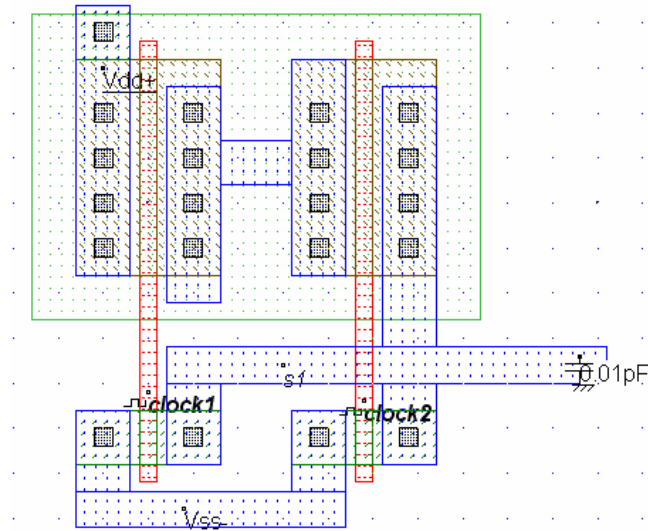


NOR (2 entradas) (“nor2 CMOS.sch”, “nor2 CMOS.msk”)

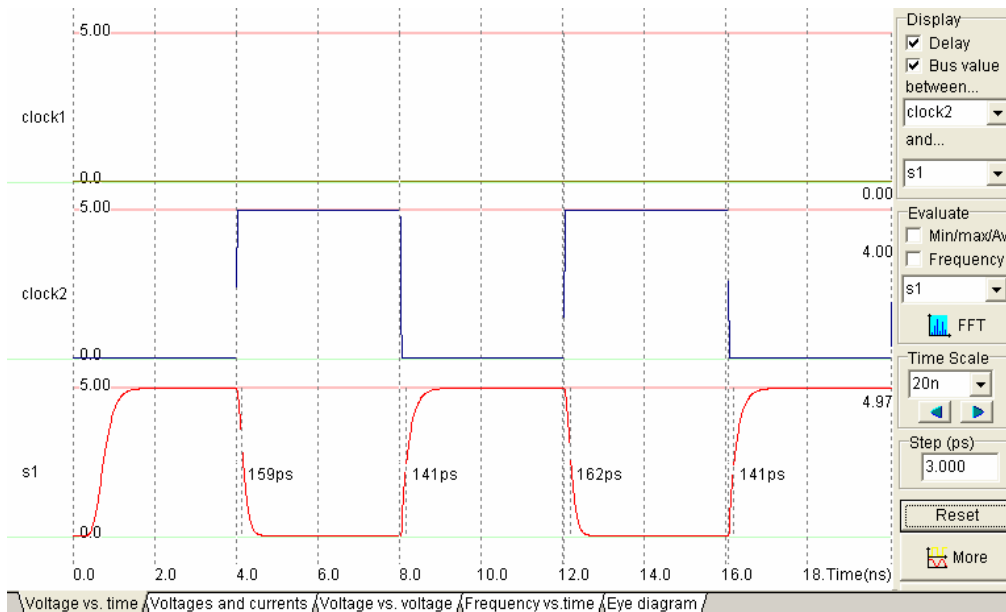
Como en los anteriores casos, primeramente vemos un esquema de la función lógica a realizar, que en este caso es una puerta nor de dos entradas.



Tal y como hemos venido haciendo hasta ahora, hemos calculado cuál debe ser la relación de tamaños (W/L) entre los transistores de tipo P y de tipo N de la función. Para este caso particular, obtenemos que los transistores de la red P, deben ser cuatro veces mayores que los de la red N. Por ejemplo hemos elegido  $W/L=12$  y  $W/L=3$  de las redes P y N respectivamente.

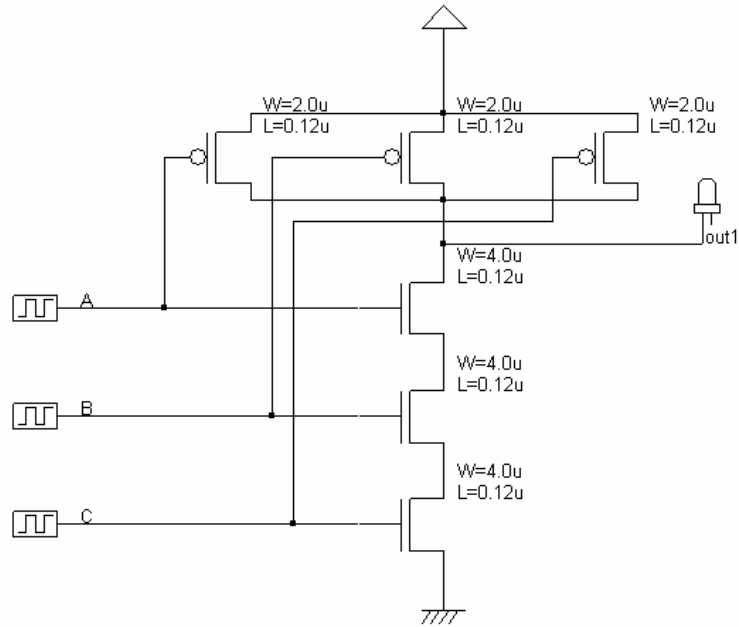


Los tiempos de subida y de baja son muy similares tal y como pretendíamos y como se puede apreciar en la siguiente figura.

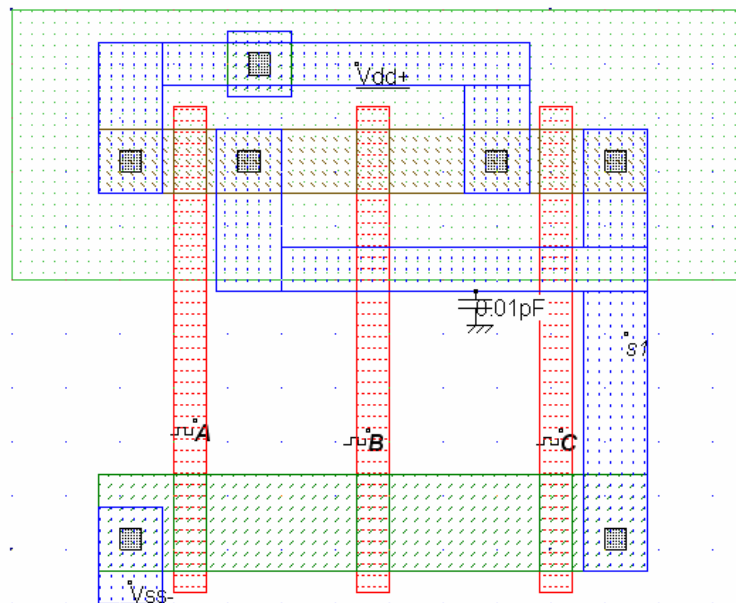


NAND (3 entradas) (“nand3 CMOS.sch”, “nand3 CMOS.msk”)

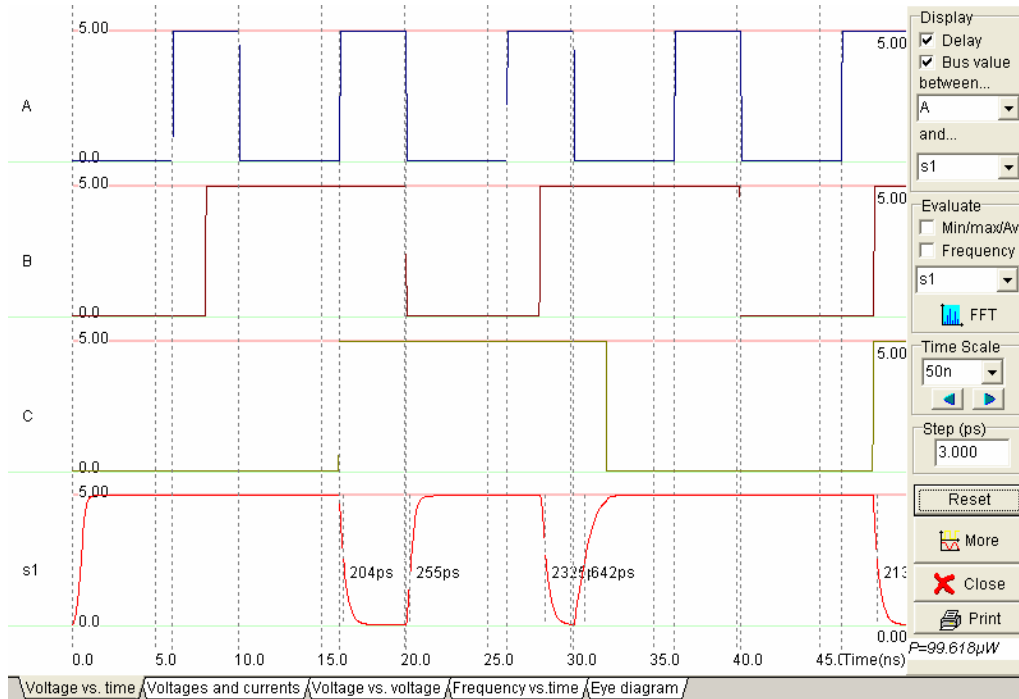
Muy similar a la puerta nand de dos entradas, se muestra a continuación una puerta nand de tres entradas:



Para esta puerta hay que calcular de nuevo las relaciones de tamaños de la red de transistores P y de la red de tipo N. Para que las resistencias de los dos redes sean similares (fijándonos en la red de tipo P con un solo transistor activado, ya que es el peor caso), las relaciones W/L deben ser 2 y 3 para la red P y para la red N respectivamente.

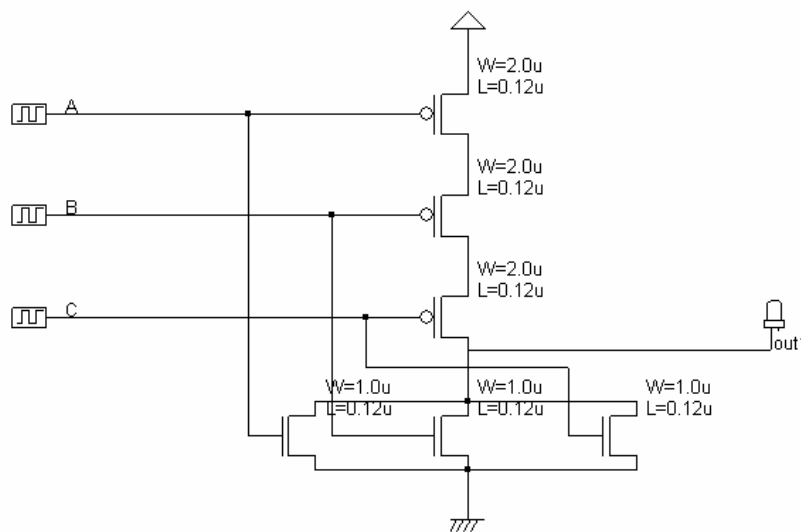


De esta manera se consiguen tiempos de subida y de bajada bastante similares, como se muestra en la siguiente figura, la cual representa la salida cargada con un condensador de 0.01 pF.



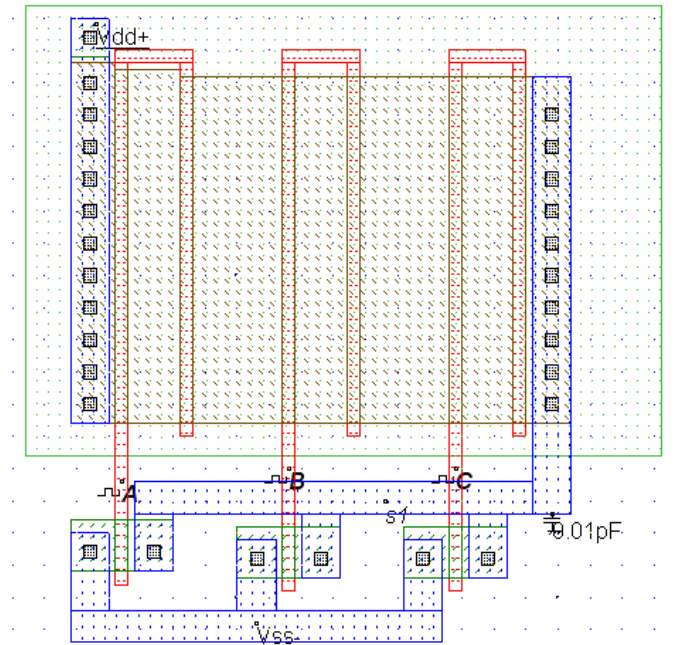
NOR (3 entradas) (“nor3 CMOS.sch”, “nor3 CMOS.msk”)

Para realizar una puerta nor de tres entradas, hay que implementar el esquema que se muestra en la siguiente figura.

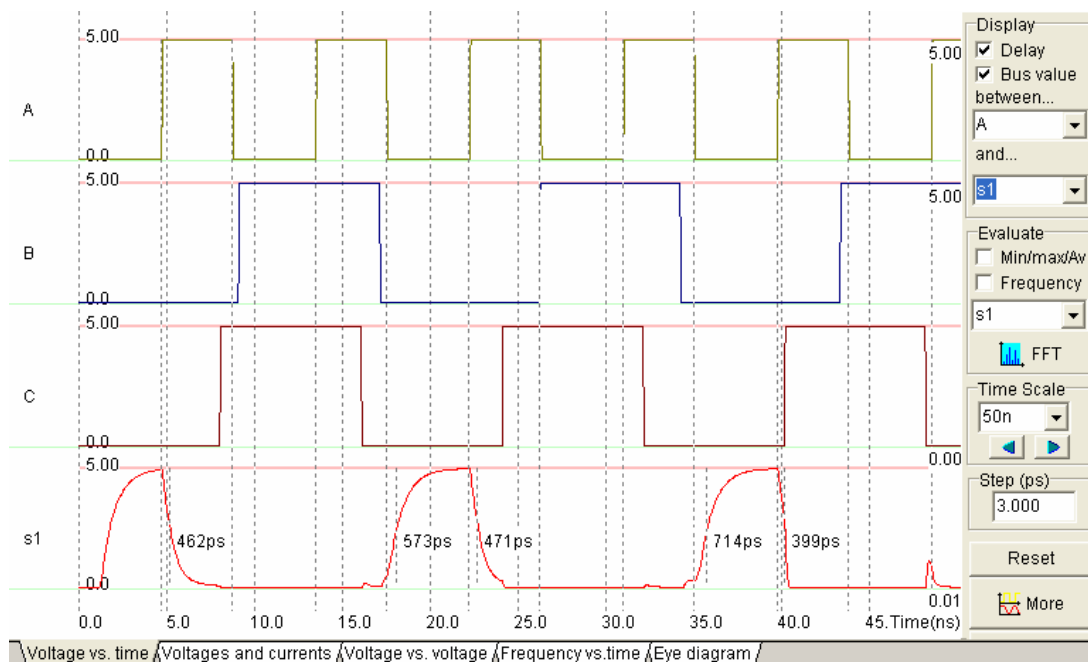




Teniendo en cuenta que el peor caso es cuando los tres transistores de la red N están cerrados, la relación de tamaño de la red tipo P debe ser 18 veces mayor que la de la red de tipo N. Para mantener la relación W/L cuando ésta es muy grande se utilizan transistores con varios dedos. En nuestro caso los transistores de la red de tipo P son de dos dedos.

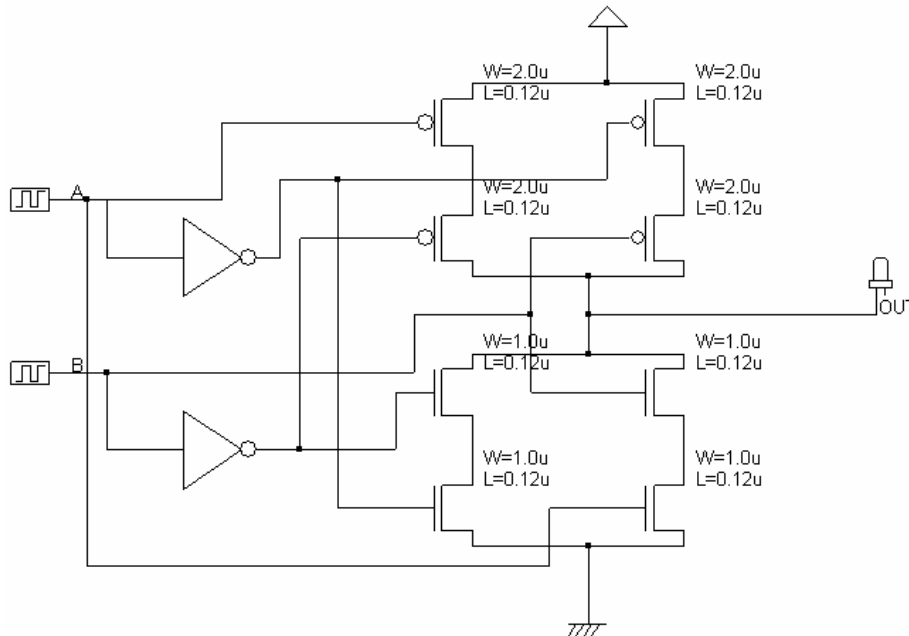


Con un condensador a la salida de la puerta, para caracterizar la misma, los resultados son los que se muestran en siguiente gráfica.

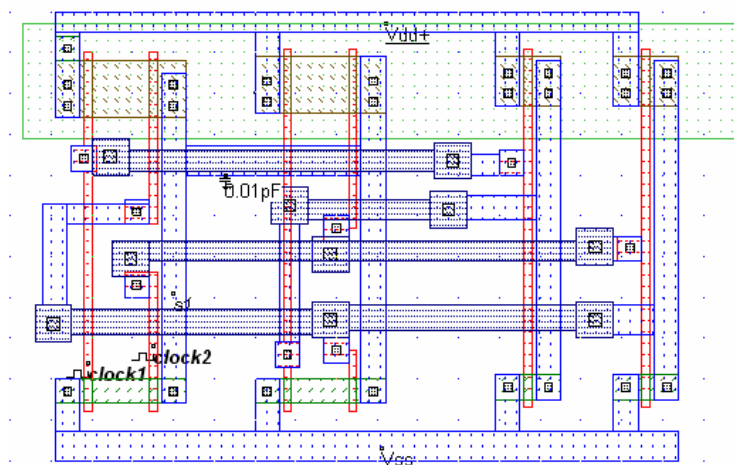


XOR (“xor CMOS.sch”, “xor CMOS.msk”)

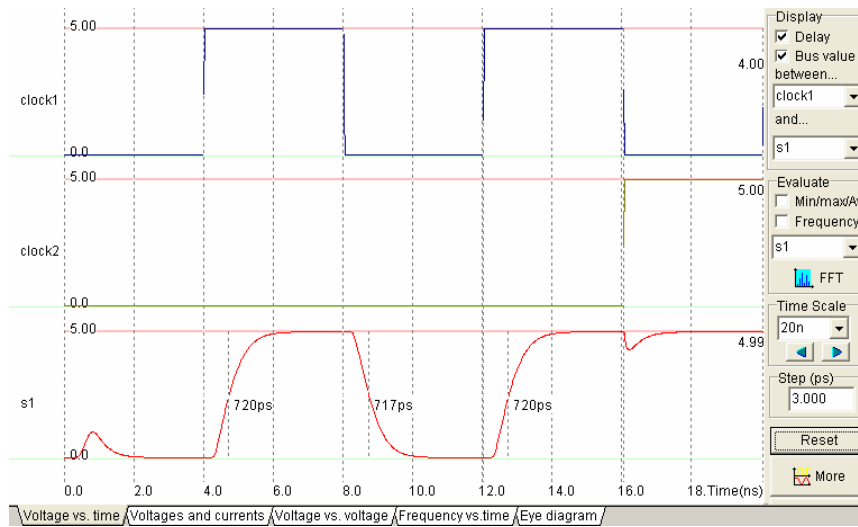
Esta función parece algo más complicada que las anteriores ya que no se puede simplificar. De esta manera tenemos que implementar las cuatro ramas de la función, además de necesitar las señales de entrada y sus respectivas señales inversar. El esquema se presenta a continuación.



Para realizar esta función, hemos tenido que utilizar el segundo metal en sentido horizontal, debido a la complejidad de la puerta. Según los cálculos, los transistores de la red P deberían ser el doble de grandes que los de la red N, para mantener una relación similar entre tiempos de subida y de bajada. En cambio hemos comprobado que con una relación un poco mayor, la puerta se comporta algo mejor. Los transistores de la red de tipo P presentan una W/L de 7, mientras que para los de la red N, esta relación es de 3.



En la siguiente gráfica se puede apreciar la gran precisión de los tiempos de subida y de bajada. Hay que tener en cuenta que estamos introduciendo un condensador a la salida de la puerta de 0.01 pF.



## FAMILIA PSEUDO-NMOS

La ventaja de esta tecnología sobre CMOS es el menor número de transistores que se utilizan en el diseño de las distintas funciones. Así, mientras que CMOS requiere de  $2N$  transistores para llevar a cabo una determinada función lógica ( $N$  para realizar la red P y otros  $N$  para realizar la red N complementaria de la anterior), PMOS utilizará  $N+1$ , ahorrándose la mayoría de los transistores de canal P.

Lógicamente este ahorro de transistores lleva consigo un importante deterioro en alguna de sus prestaciones: el nivel bajo de salida no es 0 V como ocurría en CMOS, por lo que éste será el parámetro más importante a tener en cuenta a la hora del diseño de la familia de las distintas funciones lógicas.

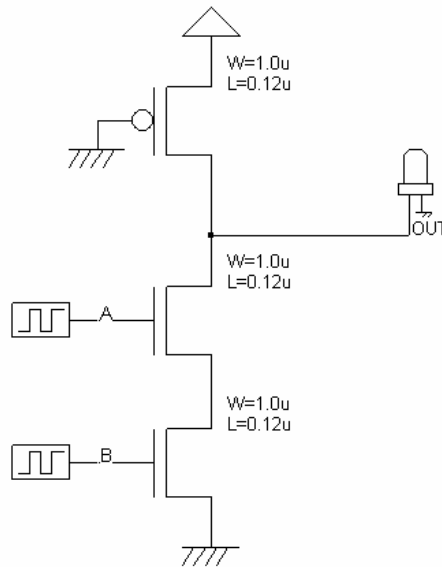
Al contrario que en CMOS los distintos niveles de tensión vienen marcados por la relación de los tamaños de los transistores NMOS y PMOS. Esta relación es de forma aproximada:

$$V_{OL} \approx \frac{\mu_p W_p}{\mu_n W_n} V_{DSATp}$$

De aquí podemos deducir los tamaños relativos de los transistores para minimizar lo máximo posible el nivel bajo de salida. Así, los transistores PMOS deben tener un tamaño mucho menor que los transistores NMOS, lo que conlleva ciertas desventajas como los mayores retardos de propagación debido al tiempo de más que se emplea en cargar el condensador de salida ya que la corriente proporcionada por el dispositivo PMOS es limitada, así como la potencia disipada cuando la salida está a nivel bajo.

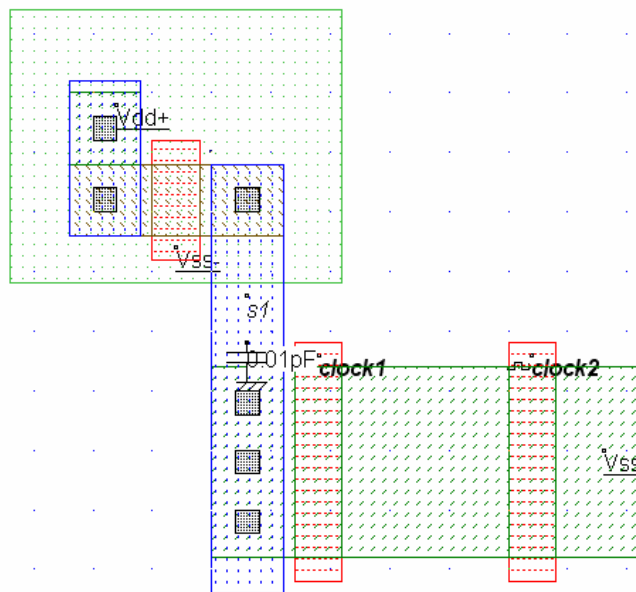
NAND (2 entradas) (“nand2 NMOS.sch”, “nand2 NMOS.msk”)

Con esta tecnología, el esquema de una puerta nand de dos entradas es el siguiente:

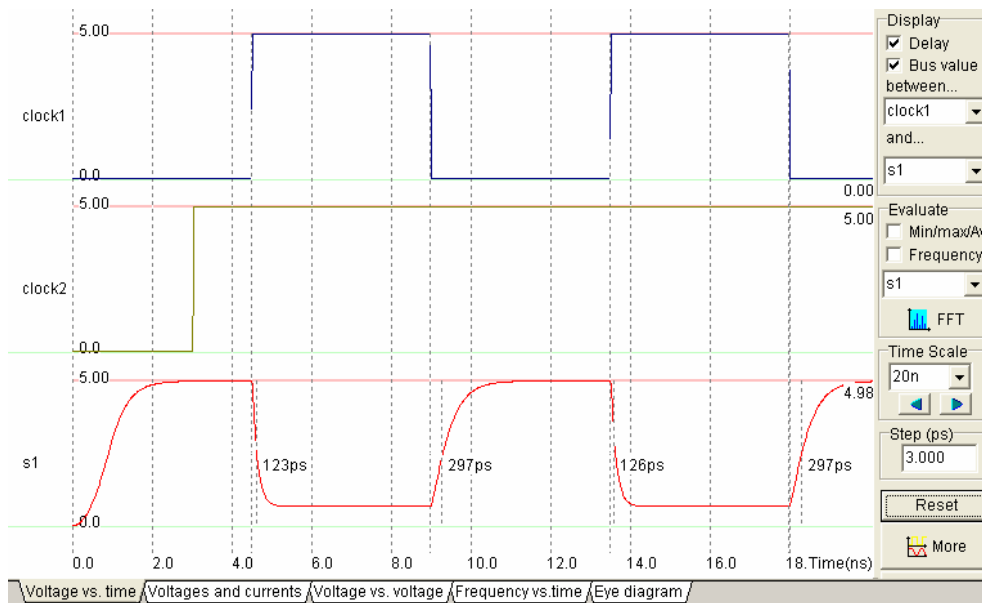


En esta tecnología ya no nos fijaremos tanto en la similitud entre tiempos de subida y de bajada, si no que será más importante que el nivel bajo no sea excesivamente alto, ya que podría incurrir en un error al reconocer la siguiente puerta un nivel alto en vez de un nivel bajo.

Después de realizar diversas pruebas, hemos comprobado que una relación más o menos aceptable de tamaños de los transistores es la que se muestra en la siguiente figura, es decir,  $W/L=1.5$  para el transistor de tipo P y  $W/L=4$  para los transistores de tipo N.

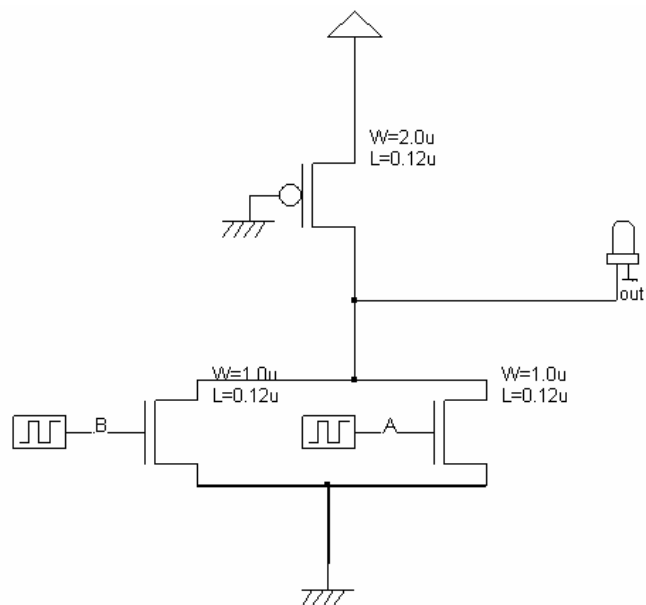


También en este caso hemos colocado un condensador a la salida de la puerta de 0.01 pF, para así caracterizar la puerta.

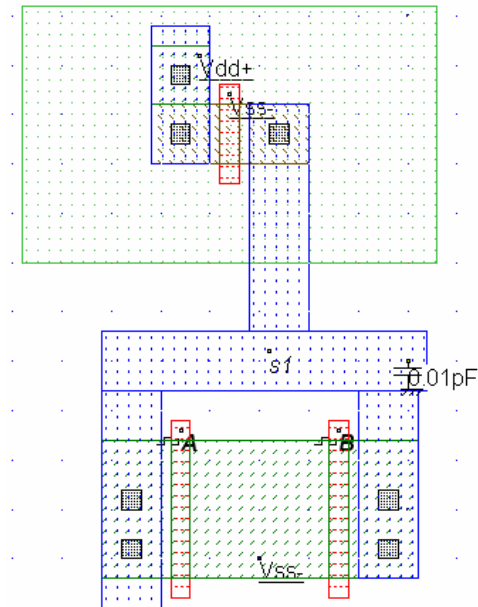


NOR (2 entradas) (“nor2 NMOS.sch”, “nor2 NMOS.msk”)

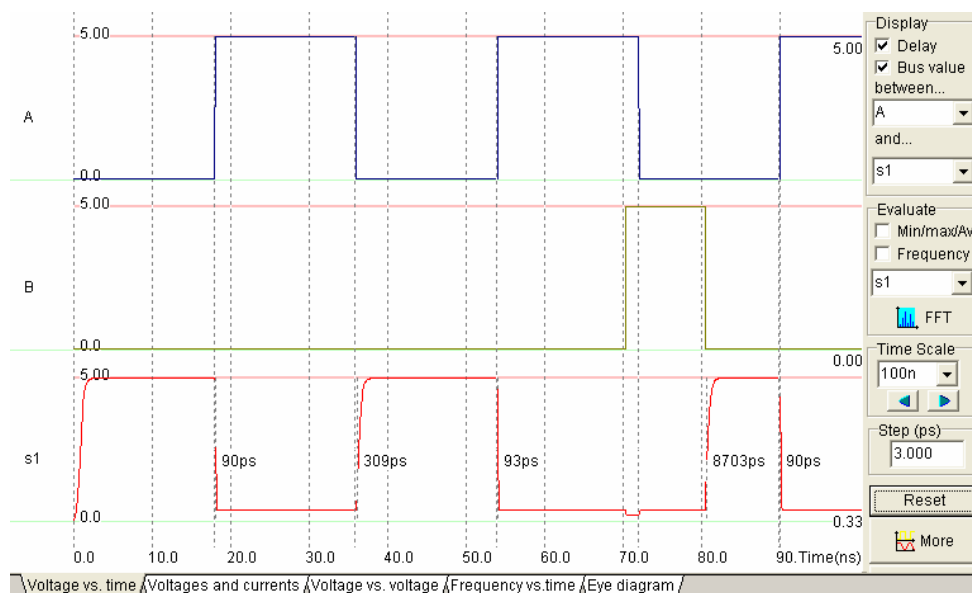
La puerta nor de dos entradas se muestra a continuación:



Para obtener unos niveles bajos válidos, hemos diseñado los transistores con una relación W/L de 3 y 7 para la red P y la red N respectivamente.

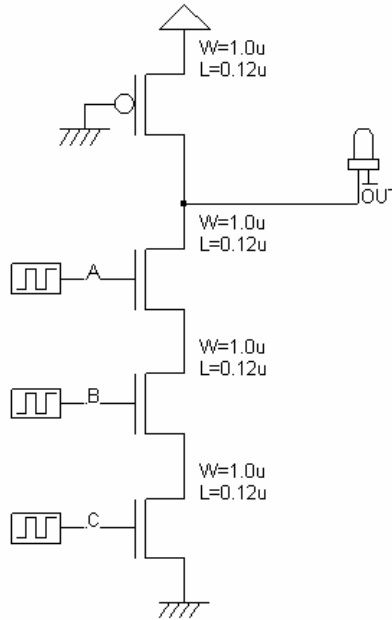


En la siguiente gráfica vemos que se producen dos niveles bajos debido a que tenemos una red en paralelo en la red N.

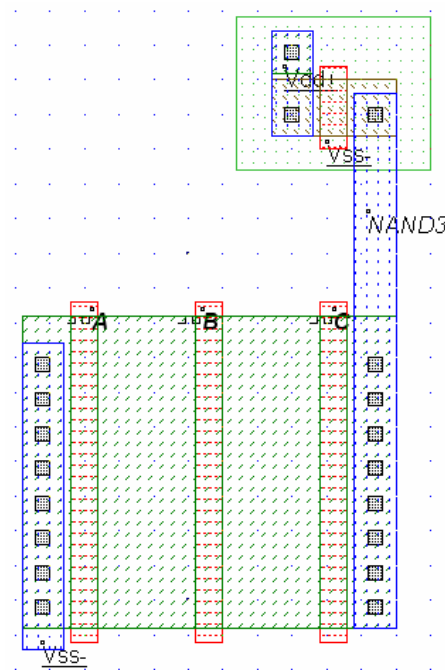


NAND (3 entradas) (“nand3 NMOS.sch”, “nand3 NMOS.msk”)

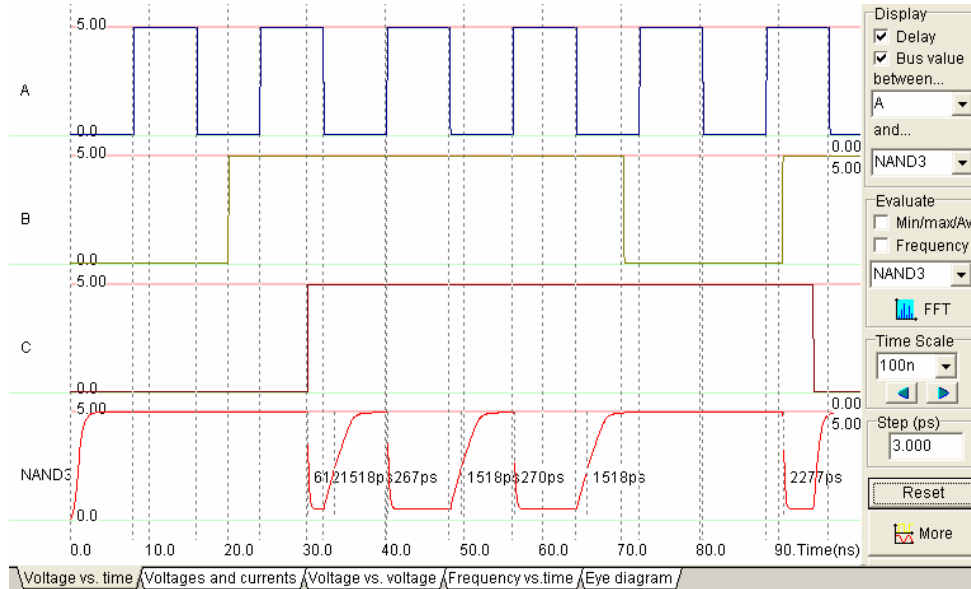
La puerta nand de tres entradas es similar a la de dos entradas tal y como se muestra en la figura.



A la hora de implementar la puerta hemos llegado a un compromiso entre valor del nivel bajo y tiempos de respuesta. Para ello la relación W/L de la red de tipo N es de 11.25, mientras que el transistor de tipo P presenta una relación W/L de 2.

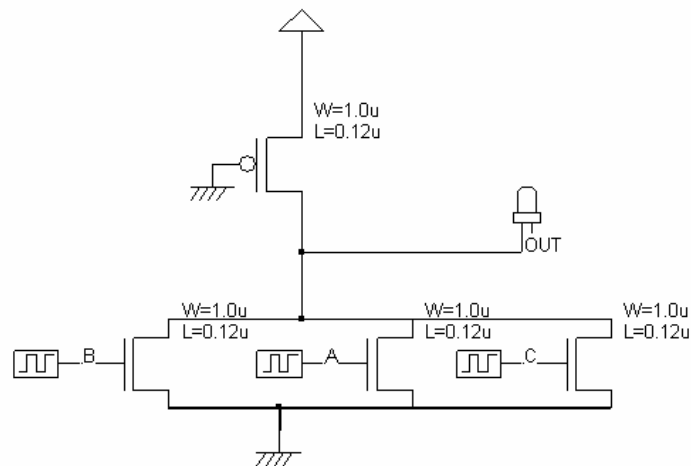


Vemos que con el condensador a la salida de 0.01 pF, los tiempos de respuesta de puerta no son muy buenos, pero en cambio el nivel bajo está en torno a los 0.5 V, que es un valor aceptable.



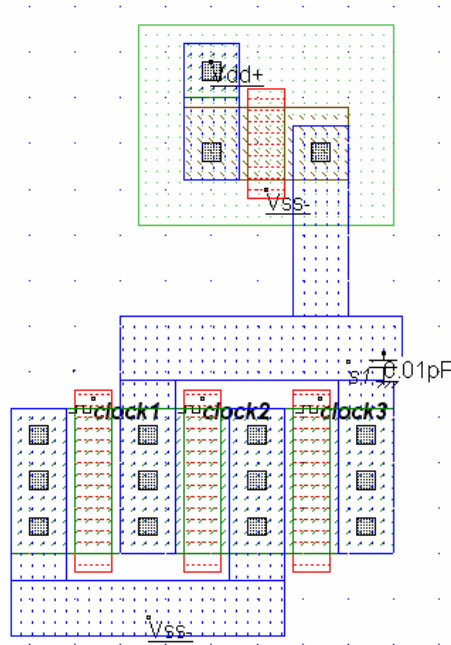
NOR (3 entradas) (“nor3 NMOS.sch”, “nor3 NMOS.msk”)

En el siguiente gráfico se muestra el esquema de una puerta nor de tres entradas.

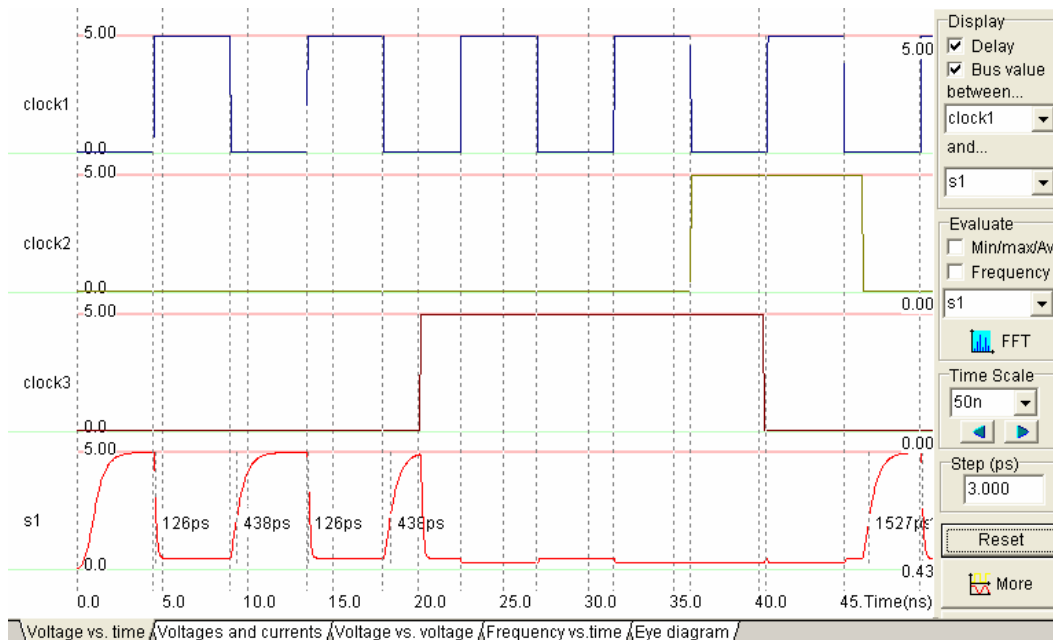




Al igual que en los casos anteriores, para obtener un nivel bajo aceptable, hemos de hacer la red N suficientemente grande. En este caso la red de tipo N es el doble de grande que el transistor de tipo P ( $W/L=4$  de la red N, y  $W/L=2$  del transistor de tipo P).



En la siguiente gráfica vemos que los dos niveles bajos son suficientemente buenos como para que la puerta que vaya a continuación interprete un cero.



## FAMILIA DCVSL

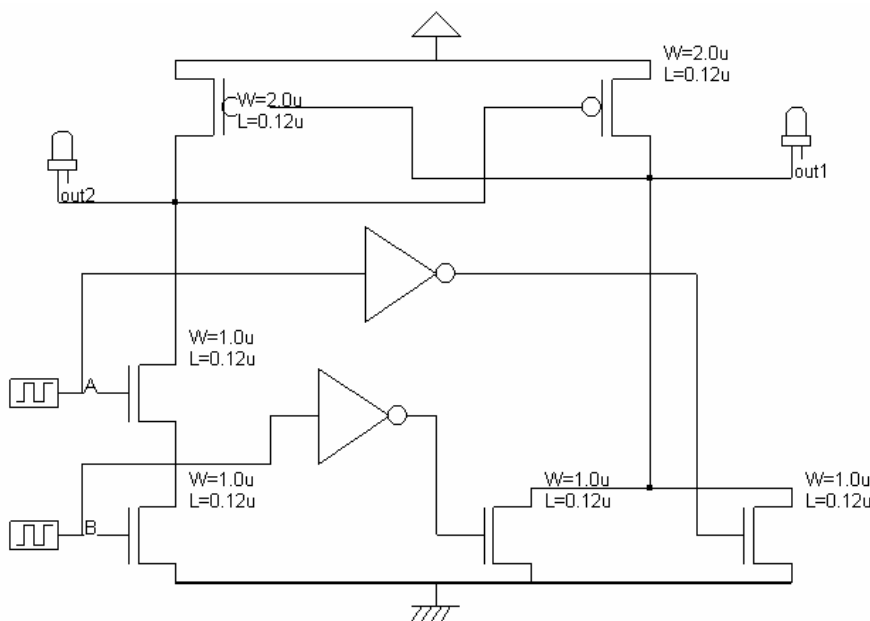
Esta lógica se basa en la tecnología pseudo NMOS con la introducción de ciertas modificaciones, las cuales permiten eliminar los problemas que presentaba la familia anterior. Además permite la obtención de la función deseada así como de su complementaria sin ningún tipo de retardo como implicaría la colocación de un inversor a la salida de cualquier puerta.

Lógicamente estas ventajas llevan consigo un aumento de transistores y la necesidad de introducir las entradas tanto en estado normal como invertidas. Además el tamaño de los transistores PMOS sigue siendo crucial para un correcto funcionamiento. Ahora los problemas a resolver serán los tiempos de subida y bajada. También habrá que tener en cuenta que durante estos tiempos de transición se darán periodos en los que tanto los transistores PMOS como la red de NMOS se encuentren saturados simultáneamente, produciéndose caminos de cortocircuito.

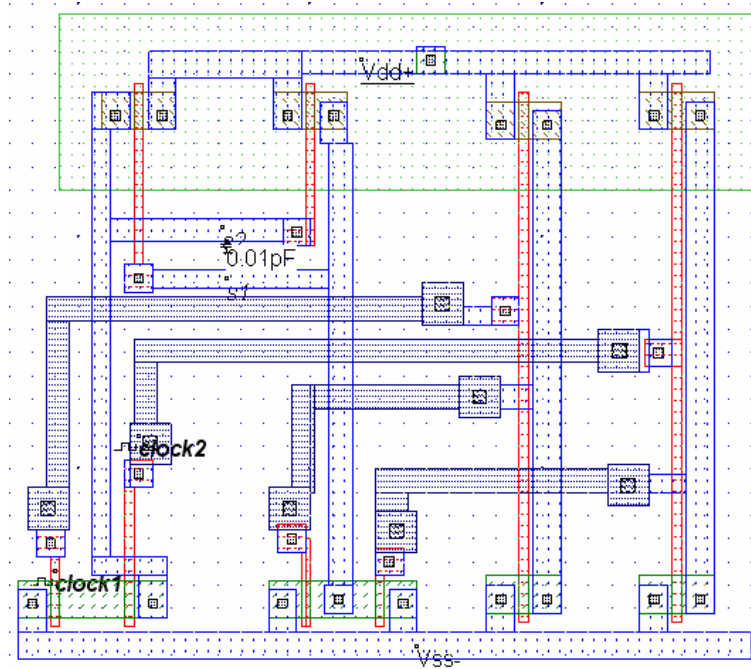
Nuestro objetivo será conseguir que la resistencia que presente la red N sea lo más parecida posible a la resistencia del transistor PMOS, para conseguir así la mayor simetría posible en cuanto a retardos de subida y bajada.

### AND-NAND (“*and-nand DCVSL.sch*”, “*and-nand DCVSL.msk*”)

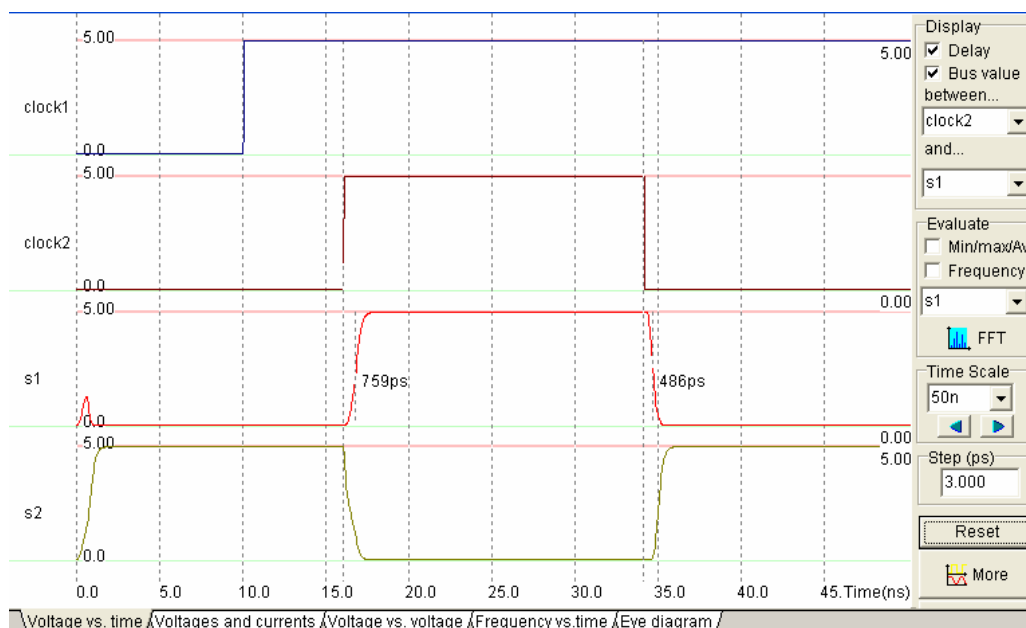
El esquema de esta puerta es el que se muestra a continuación. Como se puede apreciar se necesitan inversores, lo que dificultará la implementación de la función.

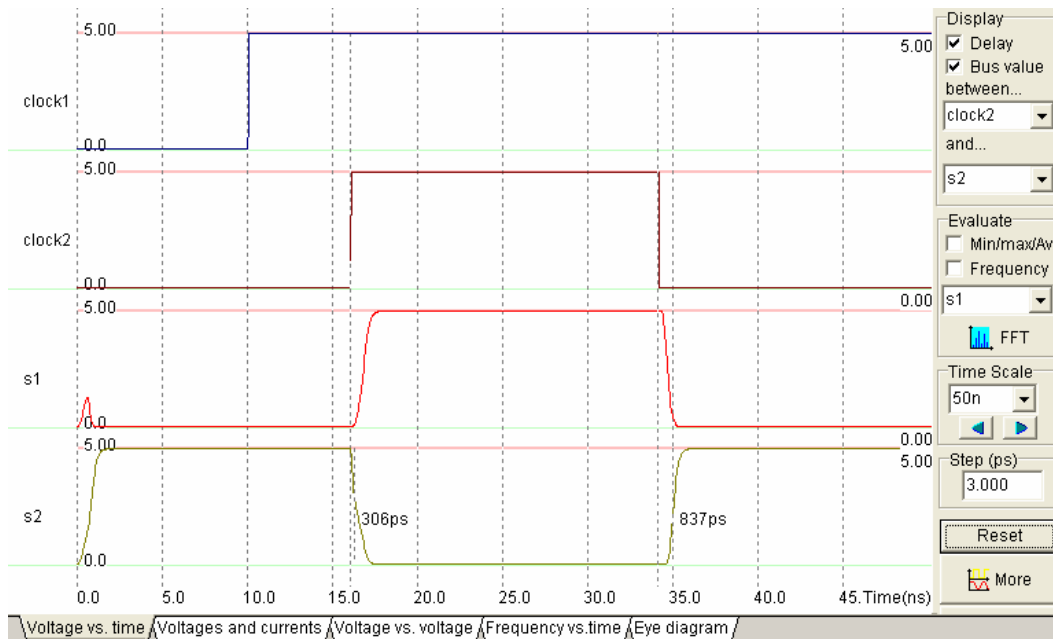


Intentando cumplir ciertas normas de diseño (línea de masa y de alimentación, red tipo P arriba y tipo N abajo y entre medias conexiones), hemos implementado las conexiones que se muestran en la figura siguiente. Para ello se ha utilizado el segundo metal, debido a la complejidad de la puerta.



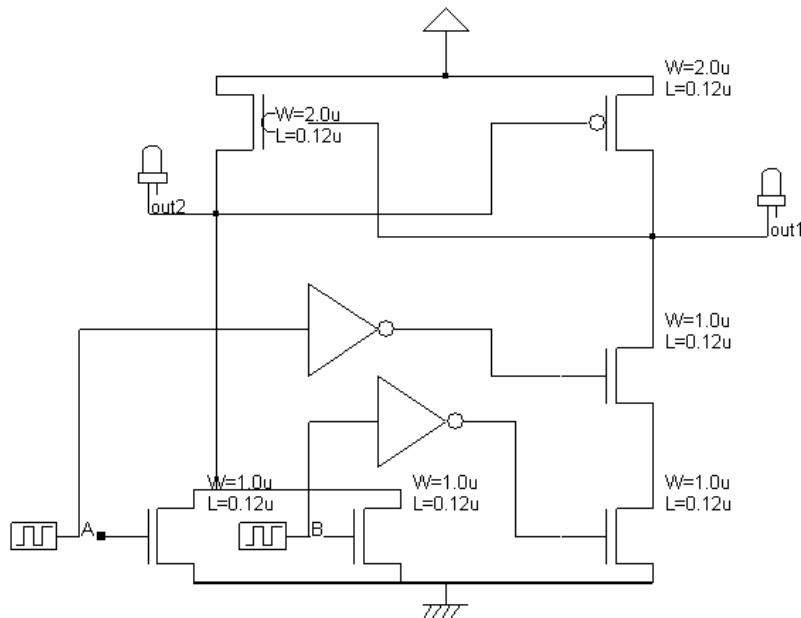
Cabe mencionar que todos los transistores tienen el mismo tamaño ( $W/L=4$ ). En las siguientes dos gráficas podemos apreciar los tiempos de subida y de baja tanto de la salida AND como de la salida NAND, cargadas con un condensador de 0.01 pF.



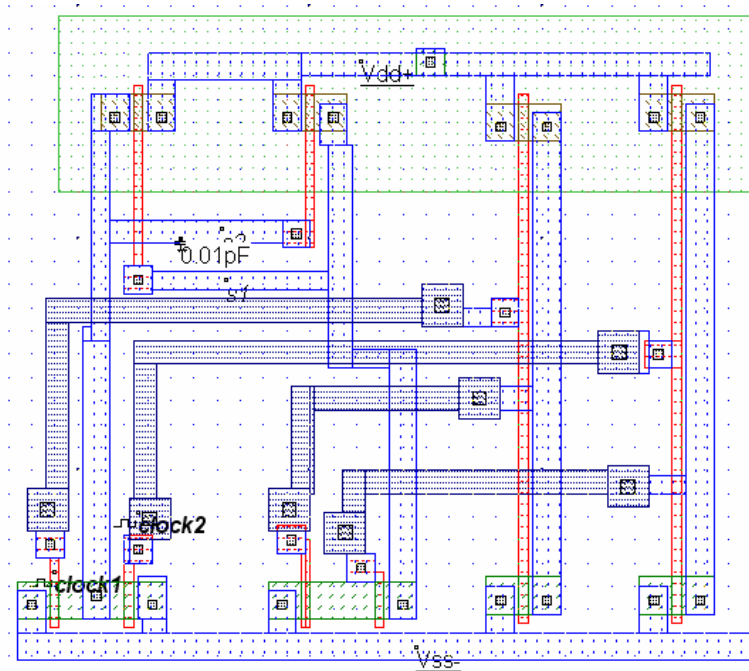


OR-NOR (“or-nor DCVSL.sch”, “or-nor DCVSL.msk”)

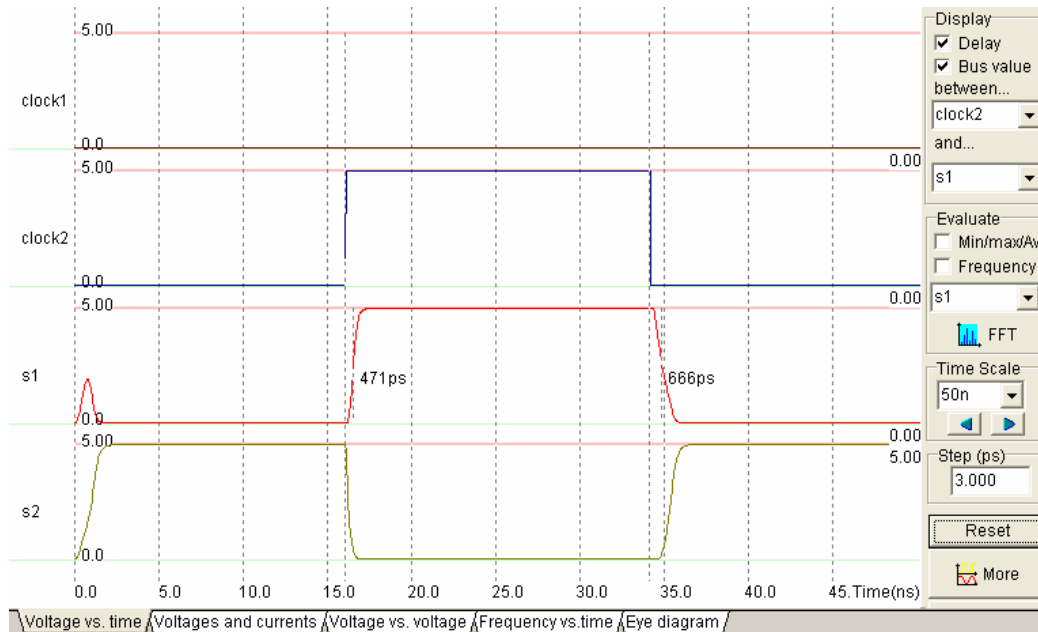
Para esta función se necesitan los mismos componentes pero colocados de diferente manera. El esquema de la puerta sería el siguiente:

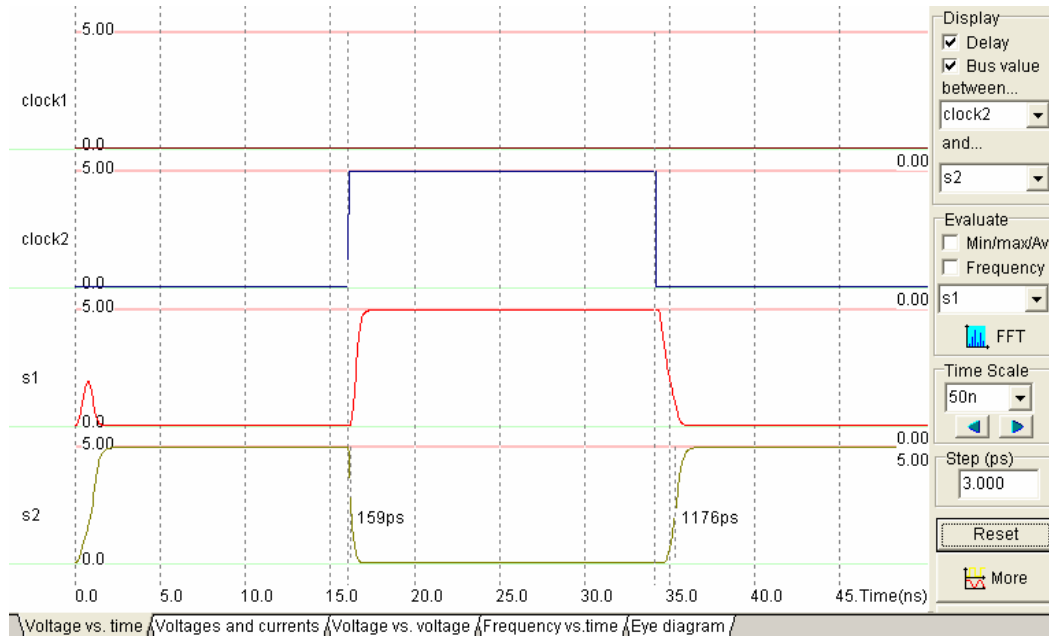


Como en el caso anterior, hemos intentado cumplir las reglas de diseño, y el resultado es la implementación que se muestra en la figura. También en este caso los transistores tienen todas las mismas dimensiones.



Las gráficas que se muestran a continuación corresponden a la salida OR y a la NOR cargadas de un condensador igual que en casos anteriores (0.01 pF). En ellas se pueden apreciar tanto los tiempos de subida como los de bajada.





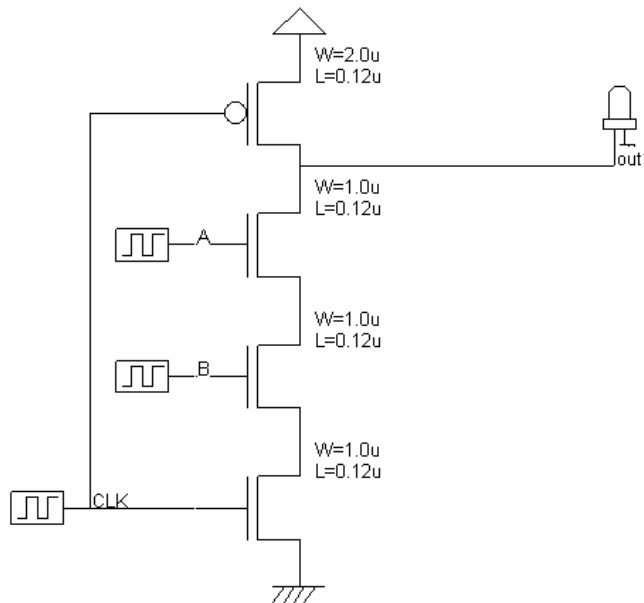
## FAMILIA CMOS DINAMICA

Esta tecnología, al igual que NMOS, busca el ahorro de transistores, sin embargo en esta familia se consigue sin el consumo de potencia extra que se producía en pseudo NMOS. Para ello se necesita la introducción de una señal de reloj, la cual marcará la secuencia de precarga y la de evaluación.

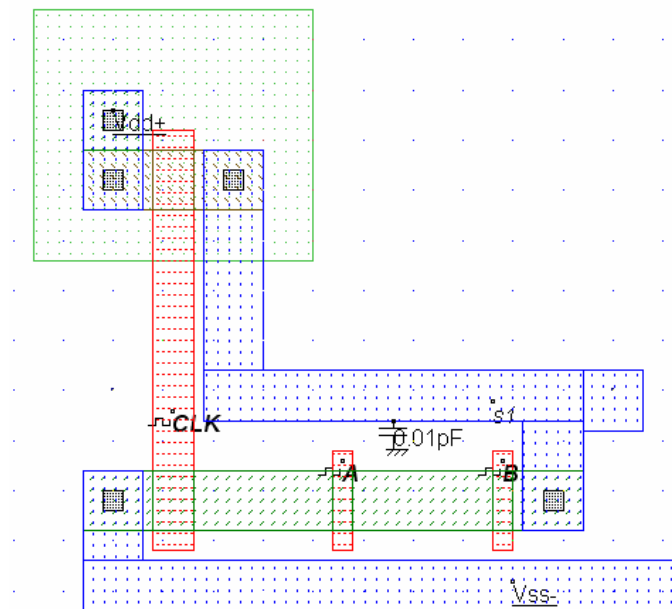
En el semiperiodo de reloj durante el cual éste se encuentra a nivel bajo, el condensador de salida se carga. Cuando el reloj pasa a “1”, es la red PDN la que marcará el estado de la salida ya que el transistor NMOS se encontrará saturado. Si las entradas de la red PDN hacen que esta no cree un camino entre la salida y tierra, el condensador seguirá cargado y la salida se mantendrá a “1”. Si por el contrario la red PDN crea un camino a tierra, el condensador se descargará y la salida cambiará a nivel bajo. Una vez descargado el condensador no será posible cambiar de nuevo la salida a “1” hasta la siguiente etapa de precarga.

NAND (2 entradas) (“nand2 Dynamic.sch”, “nand2 Dynamic.msk”)

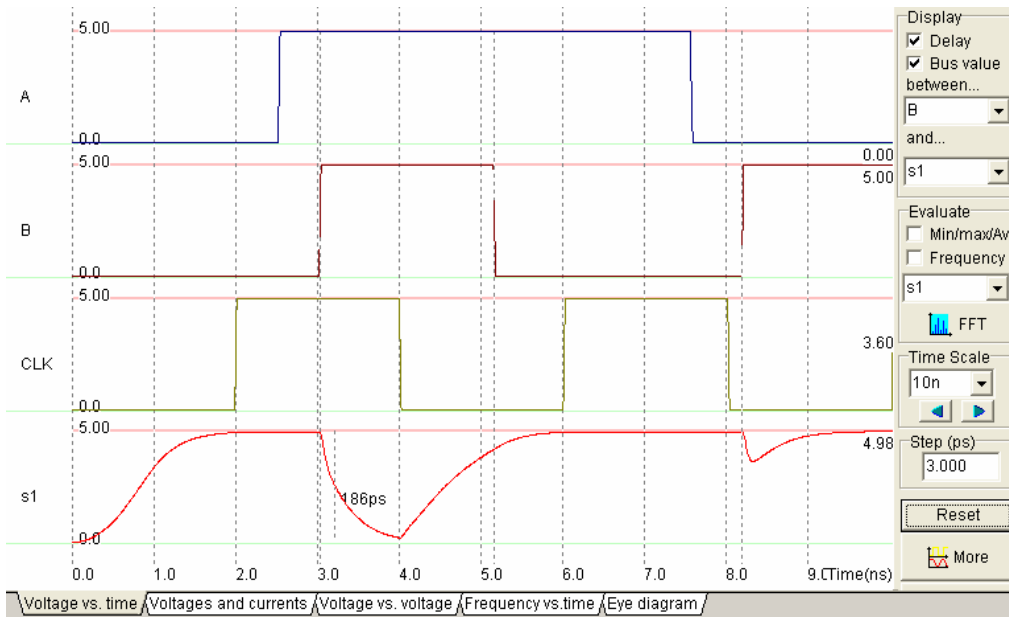
Para la familia CMOS dinámica, el esquema que representa una puerta nand de dos entradas es el que se muestra a continuación:



Para realizar la implementación de esta puerta, solamente nos fijamos en los tamaños de los transistores a los que llega el reloj, haciendo que presenten una resistencia similar. Para ello, el transistor tipo P, debe presentar una relación W/L el doble que la del transistor de tipo N.

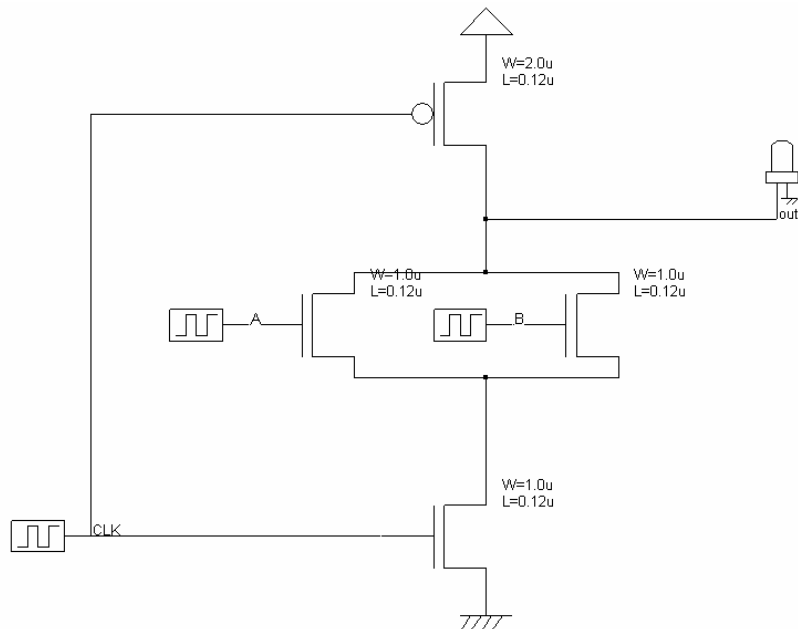


En la siguiente gráfica, se muestra el funcionamiento de esta puerta, así como el tiempo de bajada, que es bastante representativo, al añadir al final de la puerta un condensador de 0.01 pF tal y como venimos incluyendo en las anteriores puertas.



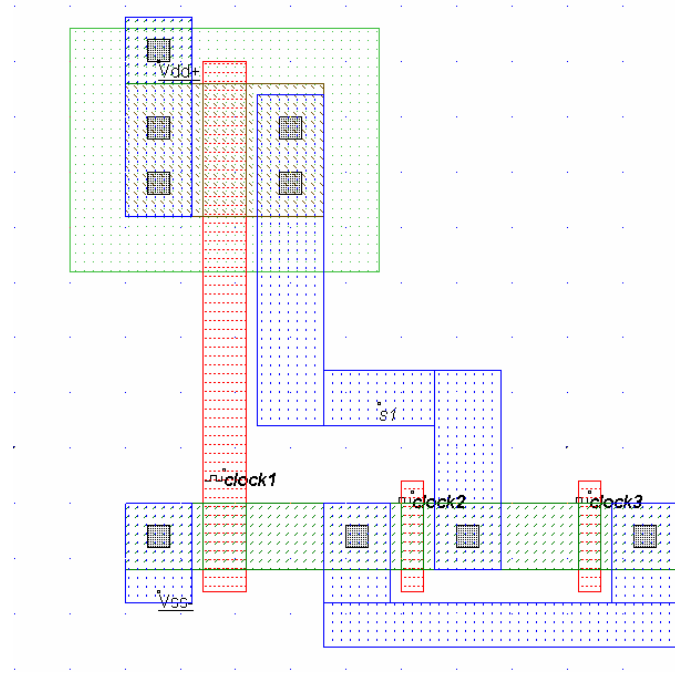
NOR (2 entradas) (“nor2 Dynamic.sch”, “nor2 Dynamic.msk”)

El esquema básico de una puerta nor de dos entradas utilizando tecnología CMOS dinámica es el que se muestra en esta gráfica.

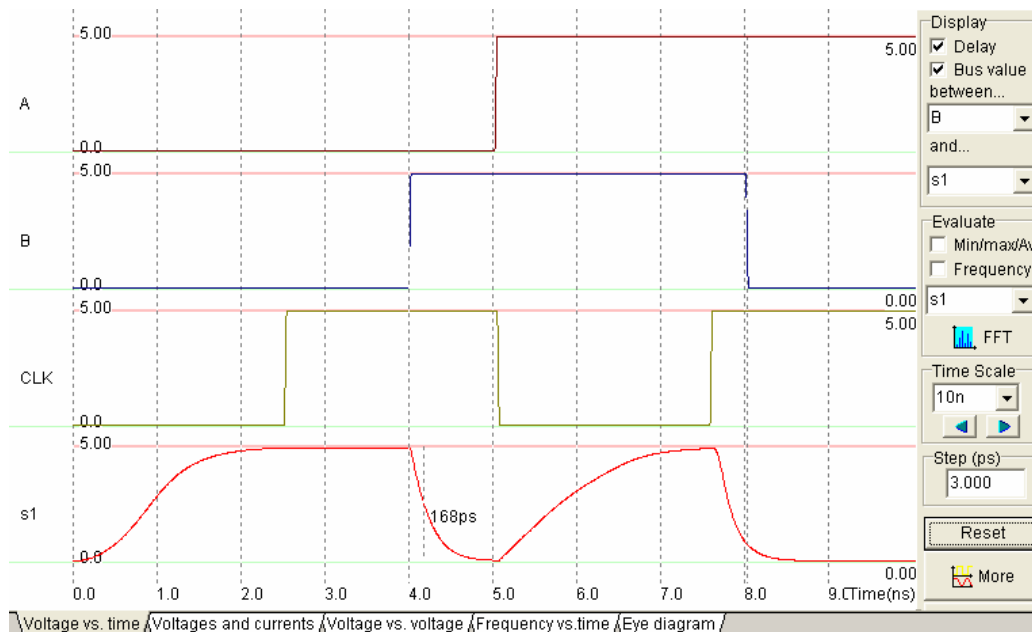


Ya que solamente nos fijamos en los tamaños de los transistores superior e inferior, seguimos utilizando los tamaños elegidos para la puerta nand de dos entradas.

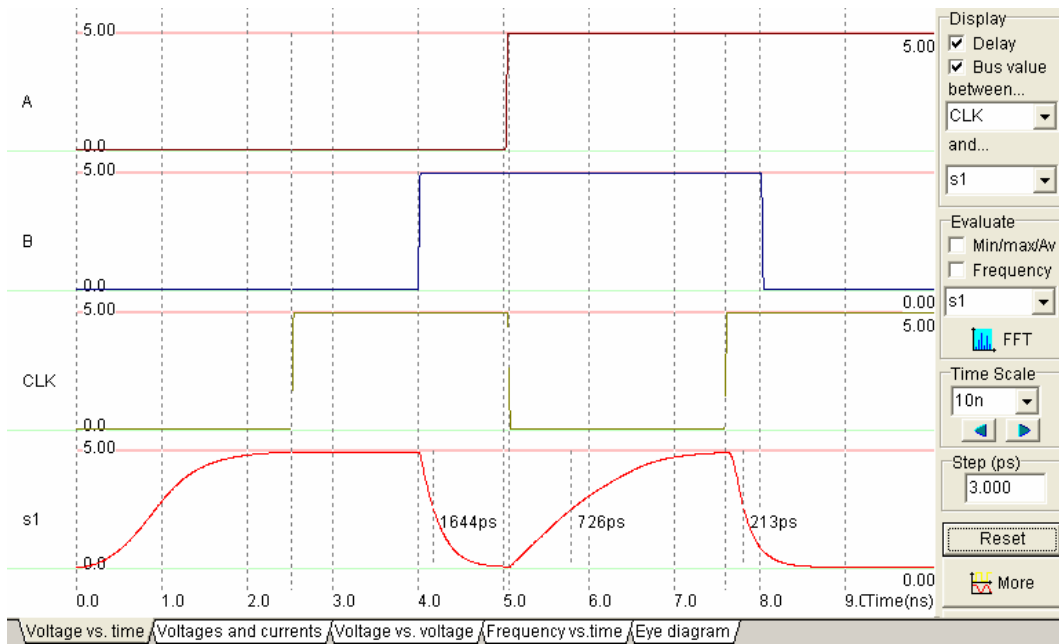




El tiempo de bajada, así como la funcionalidad de la puerta, se pueden apreciar en la imagen siguiente.

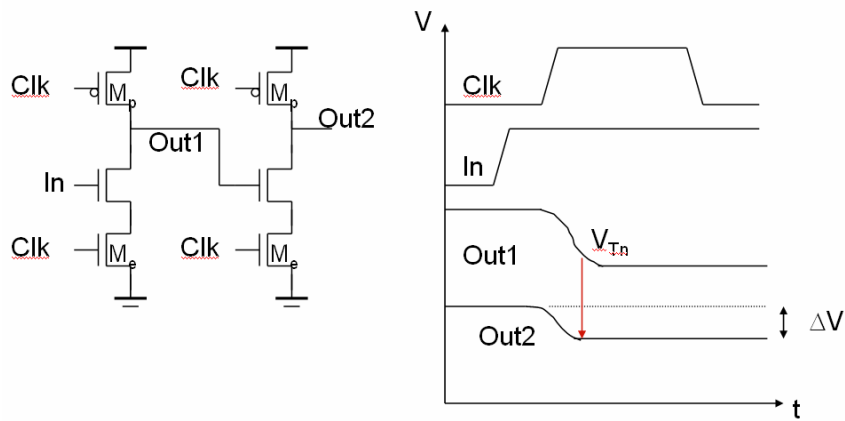


La siguiente gráfica simplemente se incluye para mostrar el tiempo de subida, es decir cuando el reloj se pone a cero para realizar la precarga.

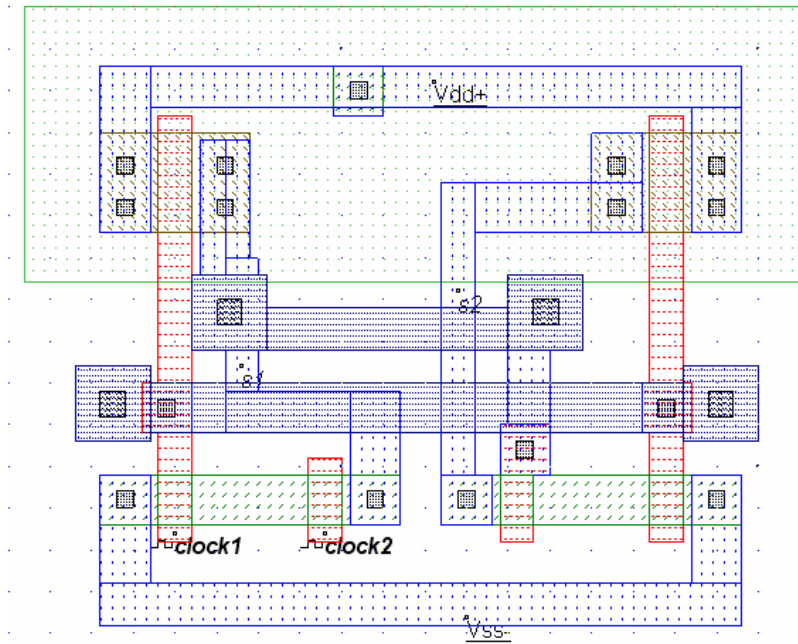


Puertas dinámicas en cascada (“cascada Dynamic.sch”, “cascada Dynamic.msk”)

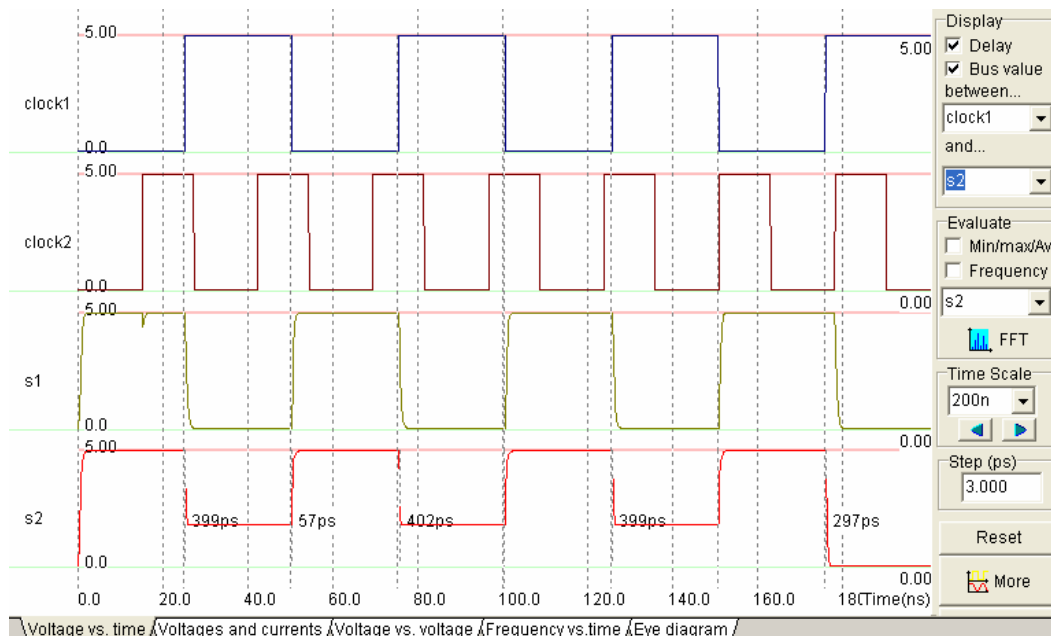
Para comprender el problema que generan las puertas dinámicas en cascada se analizará un caso en particular como es el de dos inversores en serie.



La implementación de las máscaras es la que se representa en la siguiente figura.



En la siguiente gráfica se puede apreciar el funcionamiento de la red diseñada. s1 representa la salida del primer inversor (entrada del siguiente), mientras que s2 ya es la salida de la red.



Se puede apreciar que la señal s1 influye en la señal s2, lo cuál no debería ocurrir. A continuación explicamos el proceso.

Durante la precarga ( $CLK=0$ ), las salidas de ambas puertas se encuentran a nivel alto. Supongamos ahora que en la entrada se produce una transición de 0 a 1 antes de que se produzca el cambio a nivel alto en el reloj. En el flanco de subida del reloj la salida s1 comienza a descargarse. La salida s2 debería mantenerse a 1, sin embargo, el retardo que se produce para conseguir descargar s1 implica que s2 también comience a descargarse hasta que Out1 alcance el nivel a partir del cual se considera que es un 0, en este caso indicado mediante  $V_{tn}$  (en la figura del principio del apartado). A partir de este momento s2 queda en un nivel intermedio, del cual no se recuperará hasta que llegue un 1 a través de s1 y s2 se descargue totalmente, o bien hasta la siguiente fase de precarga.

La solución será tener todas las entradas de los transistores NMOS a 0 al inicio de la fase de evaluación, de manera que éstos se encuentren cortados y no se produzca descarga de los condensadores durante la fase de evaluación. Los transistores se saturarán sólo cuando sea necesario, y solamente una vez por cada ciclo (si se requiere).

- Referencias: “Circuitos Integrados Digitales” 2ª Edición  
Jan M. Rabaey, Anantha ChandraKasen, Borivoje Mikólic  
Pearson Prentice-Hall
- “Introduction to nMOS and CMOS VLSI Systems Design”  
Amar MuKherje  
Prentice-Hall International Editions