



**Ministère de l'Enseignement Supérieur  
Université de Sousse**

\*-\*-\*-\*-\*

**Institut Supérieur des Sciences Appliquées et de Technologie de Sousse**

**Mémoire de mastère**

**Etude et implémentation d'un amplificateur  
opérationnel CMOS auto contrôlable par un test**

**$I_{DDQ}$**

**Réalisé par : Karmani Mouna**

**Encadré par : Mr. Hamdi Belgecem**

**Année Universitaire 2006/2007**



# Plan de l'exposé

---

---

- **Introduction**
- Test des circuits intégrés
- Les méthodes de test des circuits intégrés
- Etude d'un amplificateur opérationnel CMOS
- Le test de courant  $I_{DDQ}$  utilisant un capteur de courant intégré
- Conclusion et perspectives

# Introduction

---

---

Les techniques de test des circuits intégrés ne cessent de croître pour répondre :

- D'une part aux exigences de qualité, de fiabilité et de sécurité imposée par le marché.
- Et d'autres part aux progrès de la technologie des circuits intégrés.

# Introduction

---

---

- Les SOC (**S**ystem **O**n **C**hip) sont des circuits intégrés qui font cohabiter sur une même puce des parties numériques, mais aussi des parties analogiques qui ne représentent qu'une petite partie d'un SOC en terme de surface mais sa complexité est importante et son coût de test l'est également.
  
- le test analogique nécessite des testeurs analogiques capables de générer des signaux analogiques avec une très grande précision et sont donc extrêmement coûteux

# Introduction

---

---

Dans le contexte technologique et économique actuel, la réduction du coût de test des circuits mixtes et l'amélioration de sa qualité est un défi crucial pour les fabricants de systèmes embarqués.



# Plan de l'exposé

---

---

- Introduction
- **Test des circuits intégrés**
- Les méthodes de test des circuits intégrés
- Etude d'un amplificateur opérationnel CMOS
- Le test de courant  $I_{DDQ}$  utilisant un capteur de courant intégré
- Conclusion et perspectives

## Définitions

---

---

- Le test des circuits intégrés est une procédure par laquelle on peut distinguer si un circuit est fonctionnel ou non.
- Donc le but du test est d'éviter les circuits défectueux qui ne se comportent pas comme ils devraient.
- La défaillance est la cessation de l'aptitude d'une entité à accomplir une fonction requise.

## Définitions

---

---

- Les causes d'une défaillance sont les circonstances liées à la conception, la fabrication ou l'emploi et qui entraînent la défaillance.
- Donc une défaillance est due au défaut qui est l'état physique du système ou de son environnement.
- L'effet d'une défaillance est l'ensemble des modifications de toute nature qui se produisent après l'occurrence de la seule défaillance.



## Définitions

---

---

- Une défaillance a un effet interne et un effet externe.
- L'effet interne d'une défaillance est la faute qui est un effet fonctionnel local.
- L'effet externe de cette défaillance est l'erreur qui est un effet fonctionnel observable.

## Les modèles de fautes en CMOS

---

---

- Stuck-at : C'est le collage à 0 ou à 1 d'une ligne de connexion.
- Stuck-open : C'est le collage d'un transistor à l'état bloquant.
- Stuck-on : C'est le collage d'un transistor à l'état passant permanent.
- Bridging-fault : Ce type de faute est du à un court-circuit entre deux ou plusieurs lignes de connexion d'un circuit.



## Les modèles de fautes en CMOS

---

---

- Delay-fault : c'est le retard sur le temps de montée ou de descente des signaux sur certaines lignes d'interconnexions.
- Parametric-fault : c'est un modèle de fautes dues à des déviations des paramètres de certains transistors par rapport aux spécifications d'origine.
- Byzantine-fault : c'est une faute qui n'est pas modélisée par un des modèles précédents. Cette classe forme les fautes complexes qui sont souvent très difficile à détecter.

## Les modèles de fautes en analogique

---

---

Pour les circuits analogiques CMOS, les fautes peuvent être classées selon deux types :

- les fautes catastrophiques (comme les courts-circuits et les circuits ouverts).
- Les fautes paramétriques.



# Plan de l'exposé

---

---

- Introduction
- Test des circuits intégrés
- **Les méthodes de test des circuits intégrés**
- Etude d'un amplificateur opérationnel CMOS
- Le test de courant  $I_{DDQ}$  utilisant un capteur de courant intégré
- Conclusion et perspectives

## La procédure du test

---

---

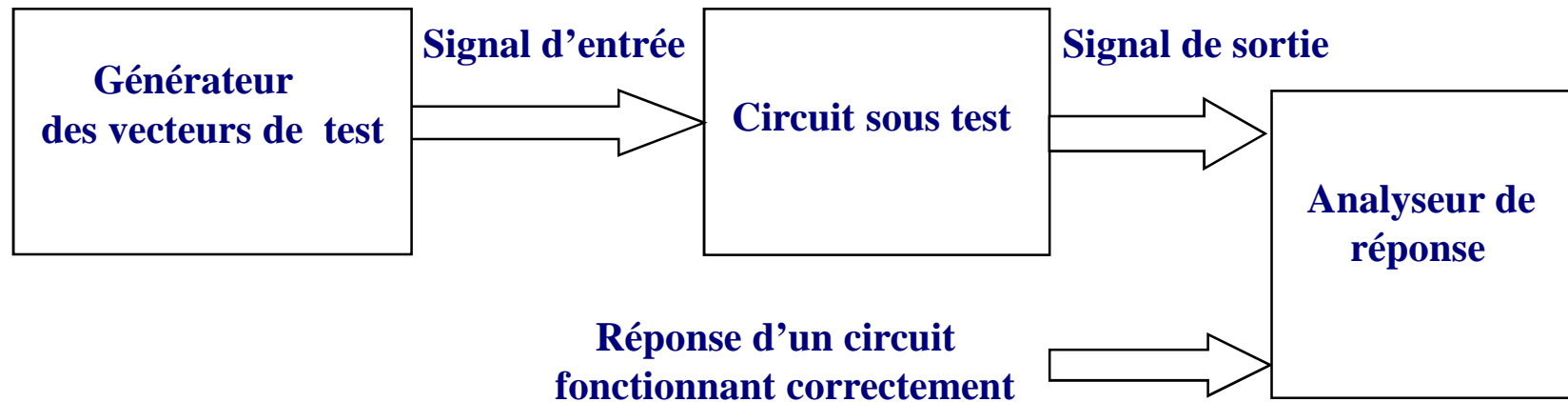


Diagramme schématique Décivant la procédure de test

## La procédure du test

---

---

Le test des circuits intégrés numériques ou bien analogiques peut être classé en deux catégories :

- le test externe
- le test interne

## Les méthodes de test

---

---

- Conception pour le test (DFT)
- Les méthodes de balayage (scan path)
- Le built in self test (BIST)
- Le test  $I_{DDQ}$
- L'auto-contrôle
- Utilisation de redondance matérielle





# Plan de l'exposé

---

---

- Introduction
- Test des circuits intégrés
- Les méthodes de test des circuits intégrés
- Etude d'un amplificateur opérationnel CMOS
- Le test de courant  $I_{DDQ}$  utilisant un capteur de courant intégré
- Résultats de simulations
- Conclusion et perspectives

## L'amplificateur opérationnel

---

---

L'amplificateur opérationnel est un circuit électronique intégré caractérisé par :

- Un gain en tension élevé.
- Une grande impédance d'entrée.
- Une faible impédance de sortie.

## L'amplificateur différentiel

---

---

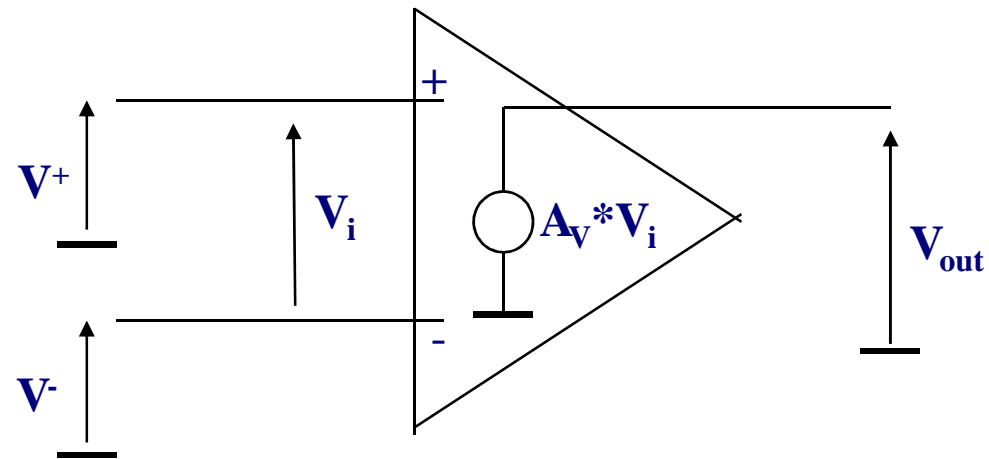
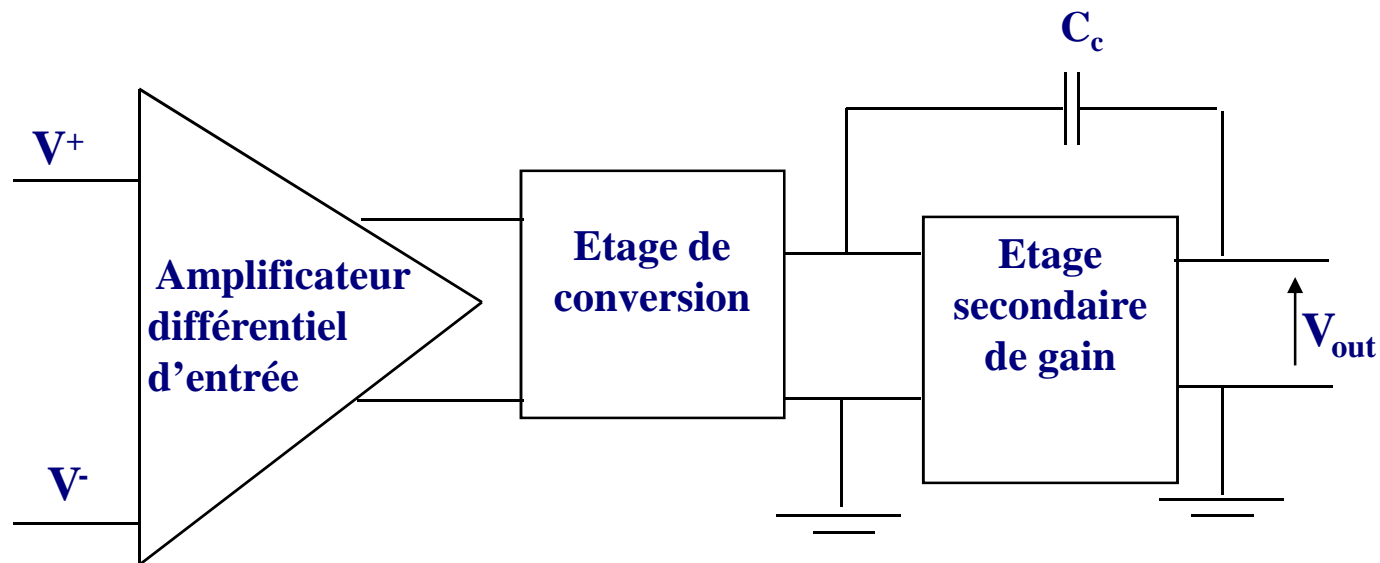


Diagramme schématique d'un amplificateur opérationnel idéal

## Structure générale d'un amplificateur opérationnel

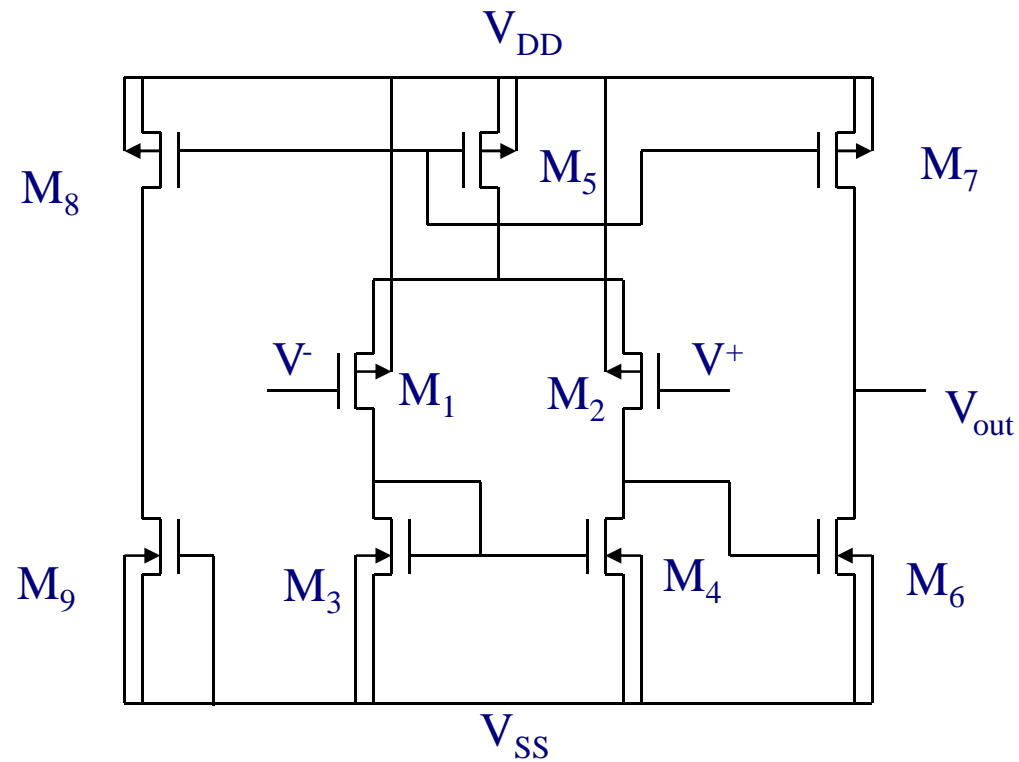
---

---



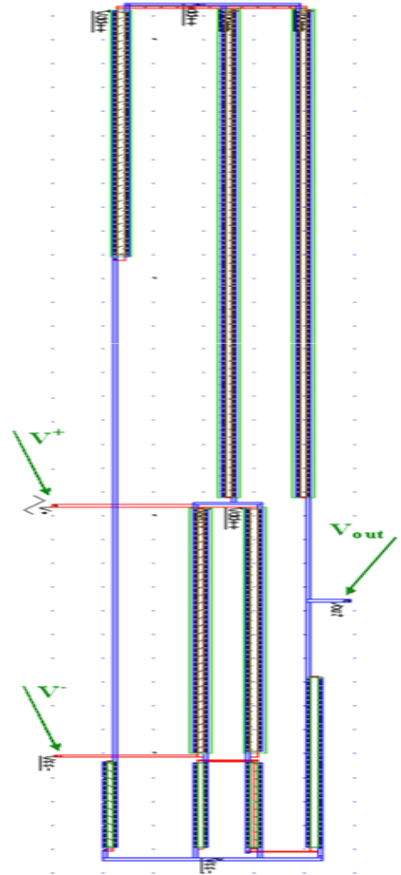
Structure générale d'un amplificateur opérationnel

## Topologie d'un amplificateur CMOS à deux étages



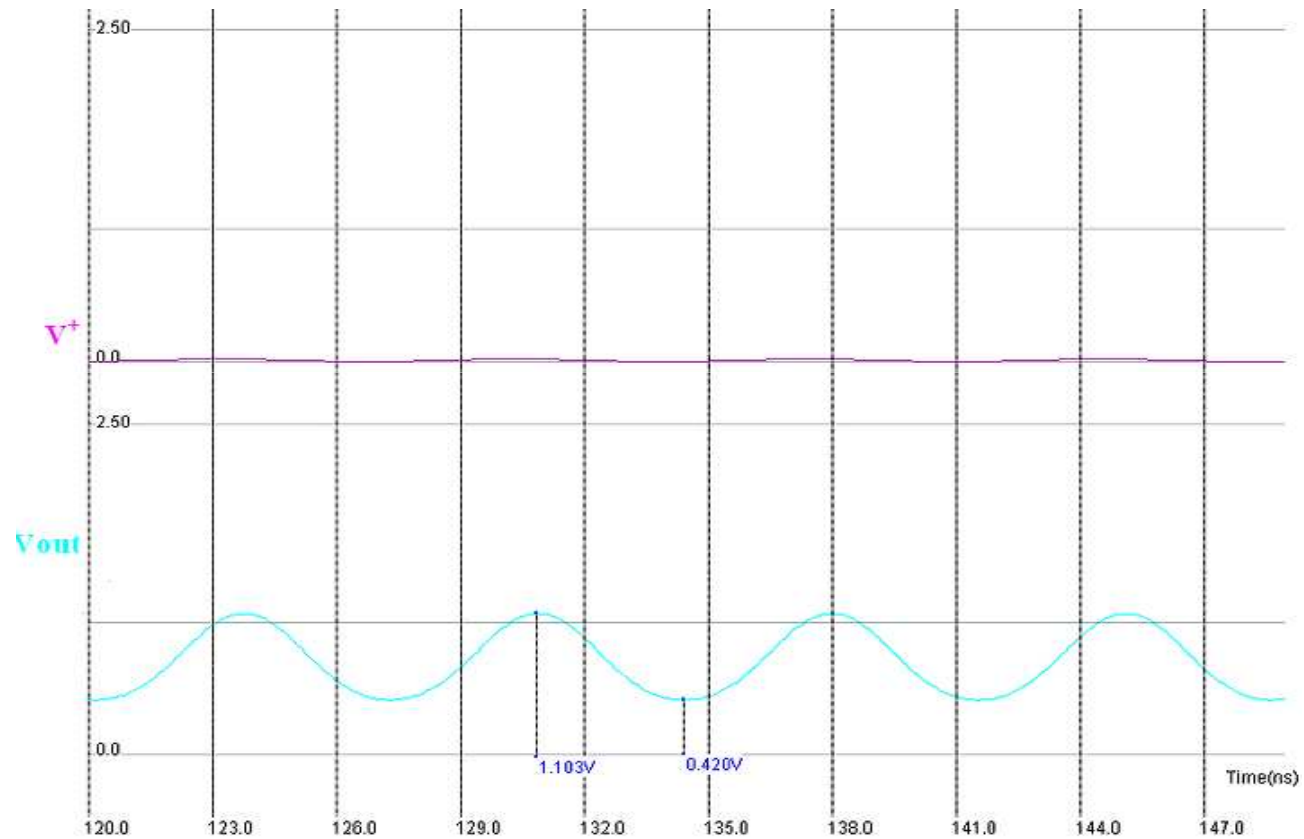
Circuit d'un amplificateur opérationnel CMOS à deux étages

## Implémentation de l'AOP CMOS



Layout de l'AOP CMOS en technologie 0.25µm

## Résultats de simulations



Allures des tensions d'entrée et de sortie de l'AOP CMOS

## Résultats de simulations

---

---

L'expression du gain de l'amplificateur opérationnel CMOS est donnée par la relation suivante :

$$A = V_{out}/(V^+ - V^-)$$

$$A_{dB} = 20 \log |A|$$

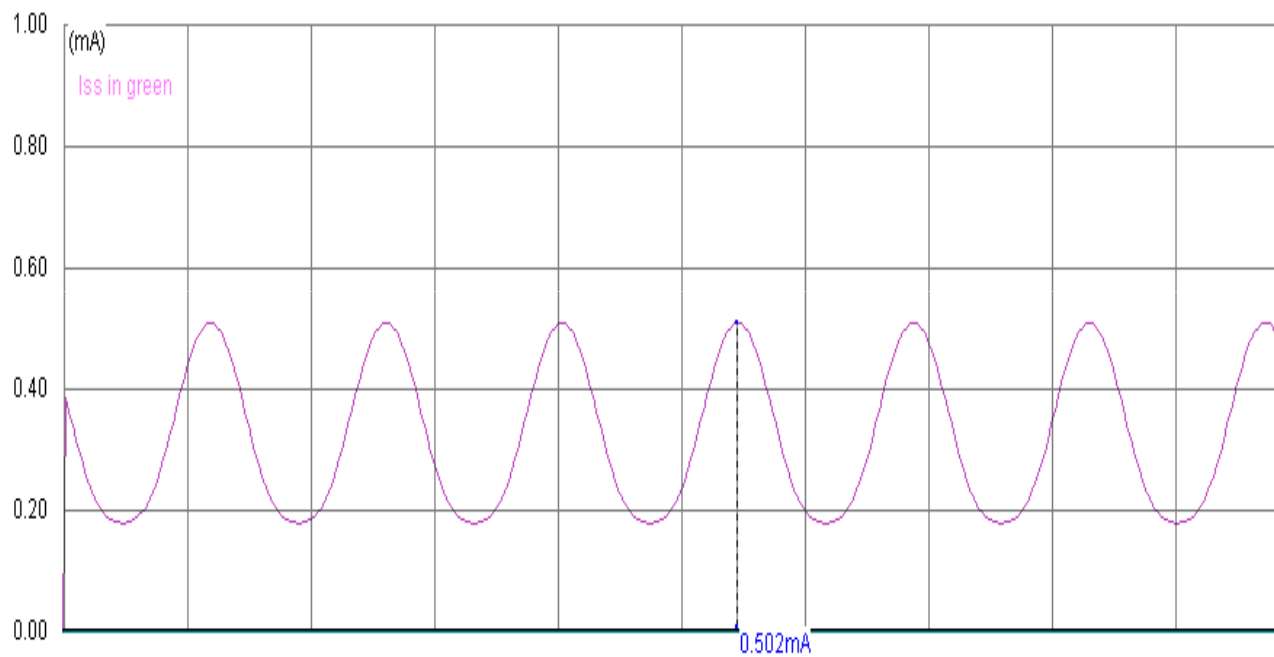
AN

$$A = 38$$

$$A_{dB} = 32 \text{ dB}$$



## Résultats de simulations



**Allure du courant arrivant à la masse**



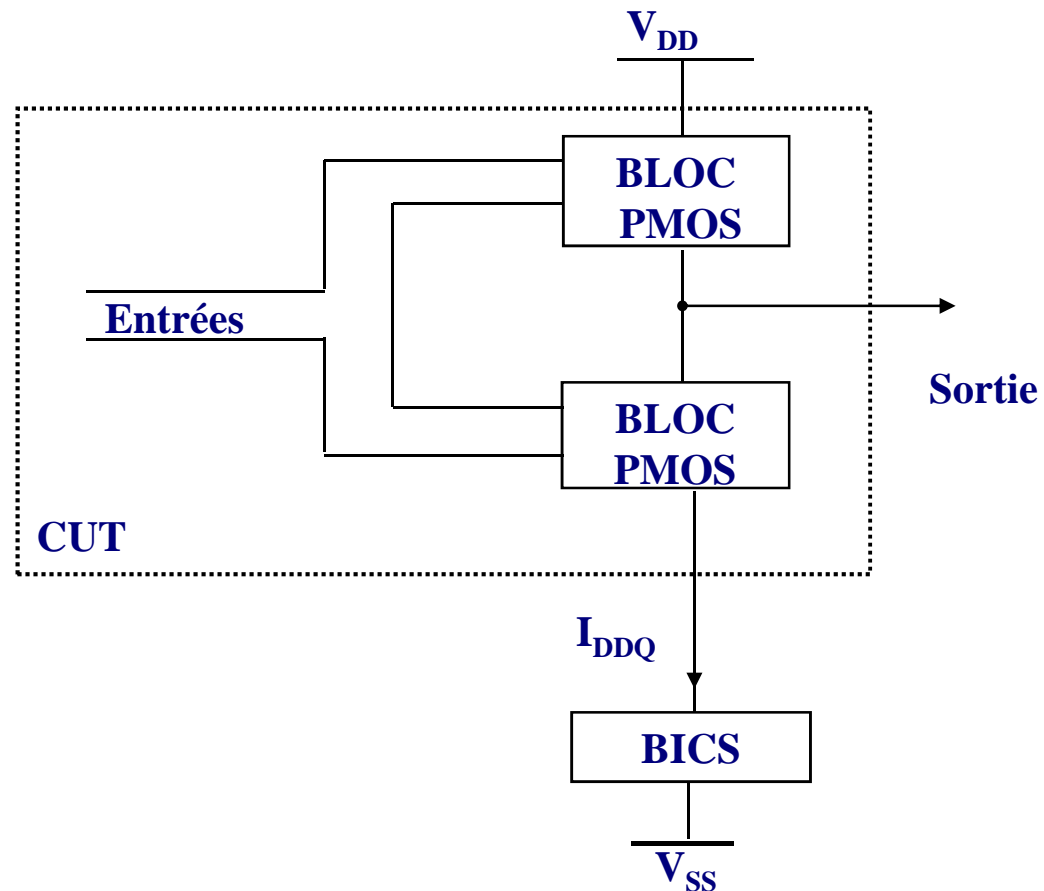
# Plan de l'exposé

---

---

- Introduction
- Test des circuits intégrés
- Les méthodes de test des circuits intégrés
- Etude d'un amplificateur opérationnel CMOS
- Le test de courant  $I_{DDQ}$  utilisant un capteur de courant intégré
- Conclusion et perspectives

## Principe du test $I_{DDQ}$



L'insertion de capteur de courant intégré pour mesurer le courant  $I_{DDQ}$   
d'un circuit CMOS sous-test



## La méthode d'estimation de courant $I_{DDQ}$

---

---

- Le courant de référence du BICS sera égal au courant  $I_{DDQ}$  minimal de l'ensemble des défauts.
- Afin de faire les simulations, les 'bridging faults' sont provoquées dans le circuit à tester en utilisant un transistor d'injection de fautes de type NMOS dont l'activation provoque la faute désirée



## Injection de défauts dans l'AOP CMOS

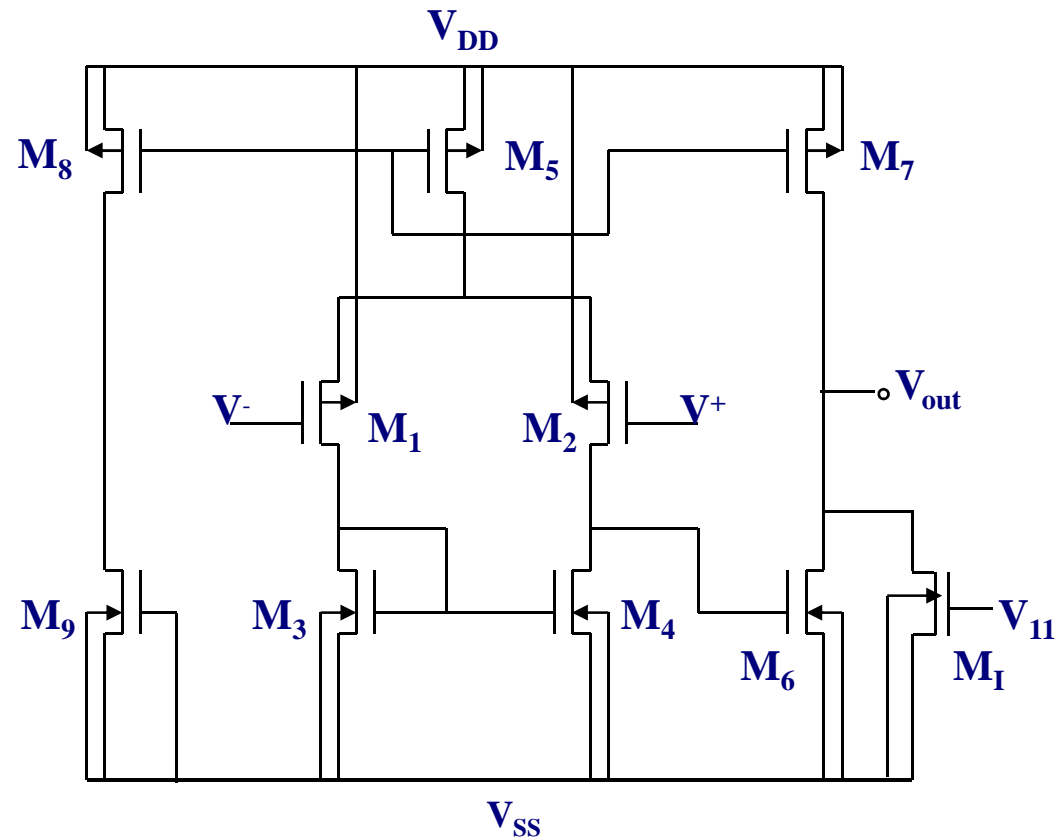
---

---

Dans l'amplificateur opérationnel CMOS on va provoquer quelques défauts à l'aide du transistor d'injection de faute NMOS  $M_I$ .

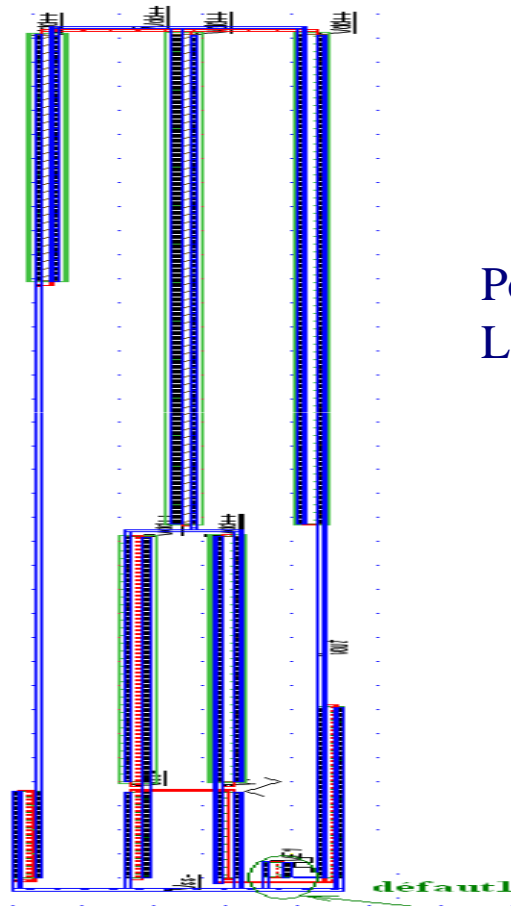
- Défaut 1 : court-circuit entre le drain et la source du transistor  $M_6$ .
- Défaut 2 : court-circuit entre la grille et le drain du transistor  $M_5$ .
- Défaut 3 : court-circuit entre la grille et le drain du transistor  $M_7$ .
- Défaut 4 : court-circuit entre le drain et la source du transistor  $M_9$ .

## Injection du défaut 1 dans l'AOP CMOS



L'amplificateur opérationnel CMOS avec provocation du défaut1

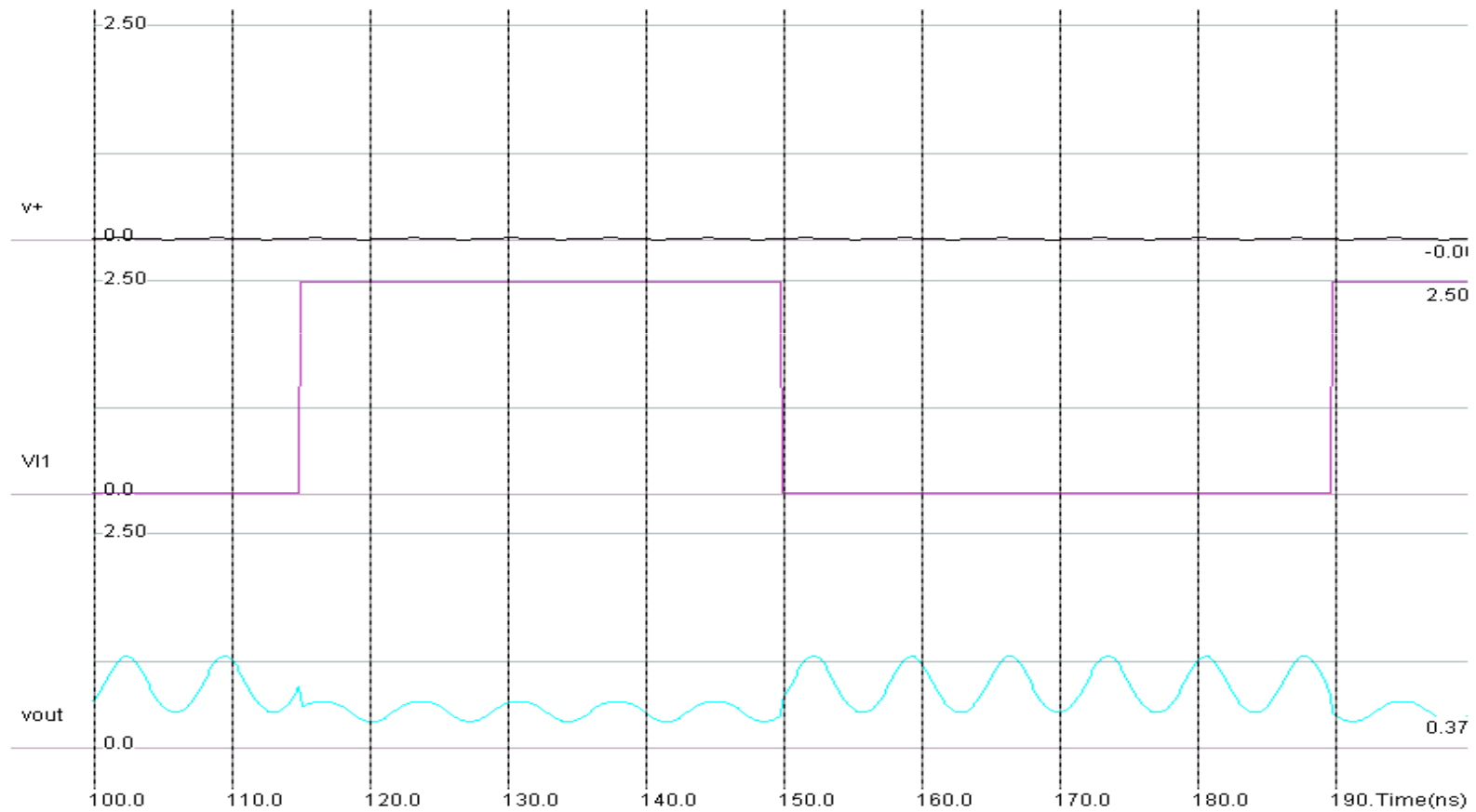
## Injection du défaut 1 dans l'AOP CMOS



Pour le transistor d'injection de fautes  $M_I$  on a :  
 $L = 0.25\mu\text{m}$  et  $W = 1\mu\text{m}$ .

Layout de l'AOP CMOS présentant le défaut 1 en technologie  $0.25\mu\text{m}$

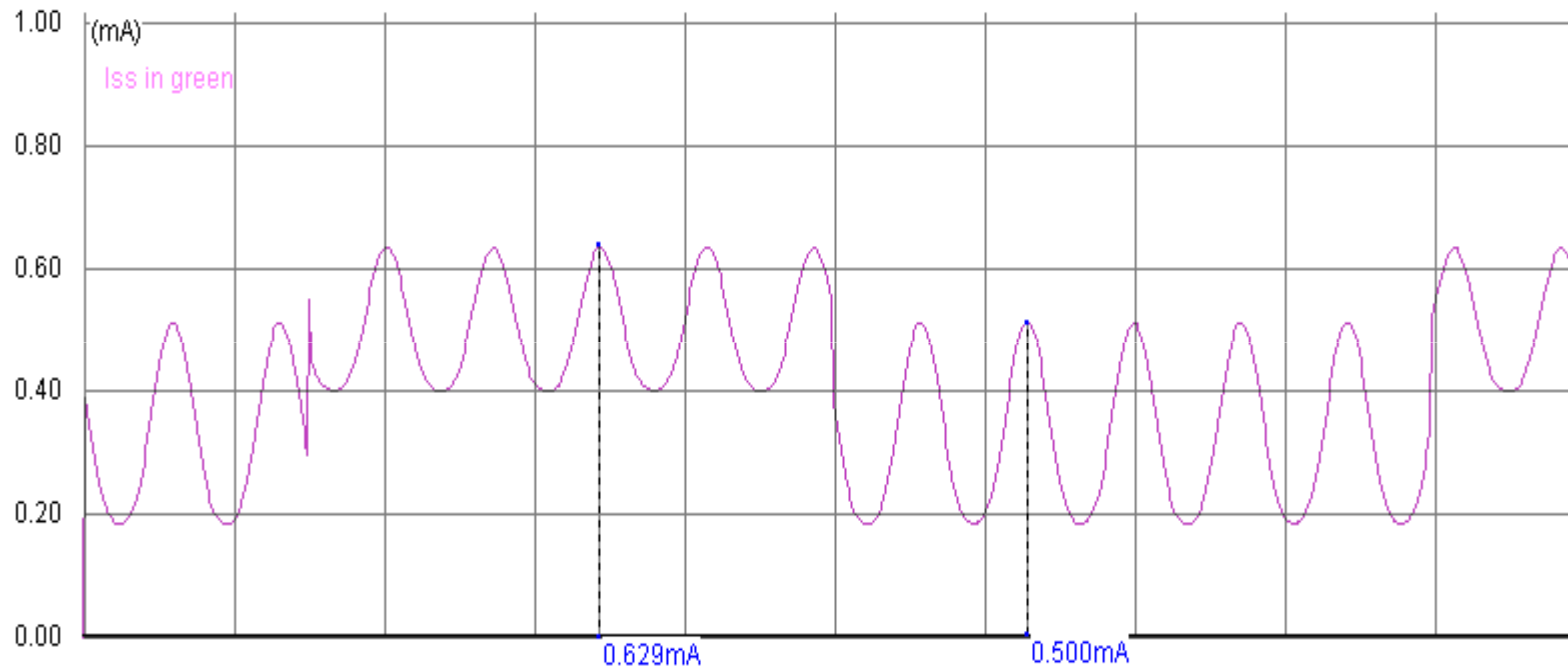
# Injection du défaut 1 dans l'AOP CMOS



Allures du signal d'activation VI1 du transistor MI, de la tension d'entrée v+ et celle de sortie Vout.

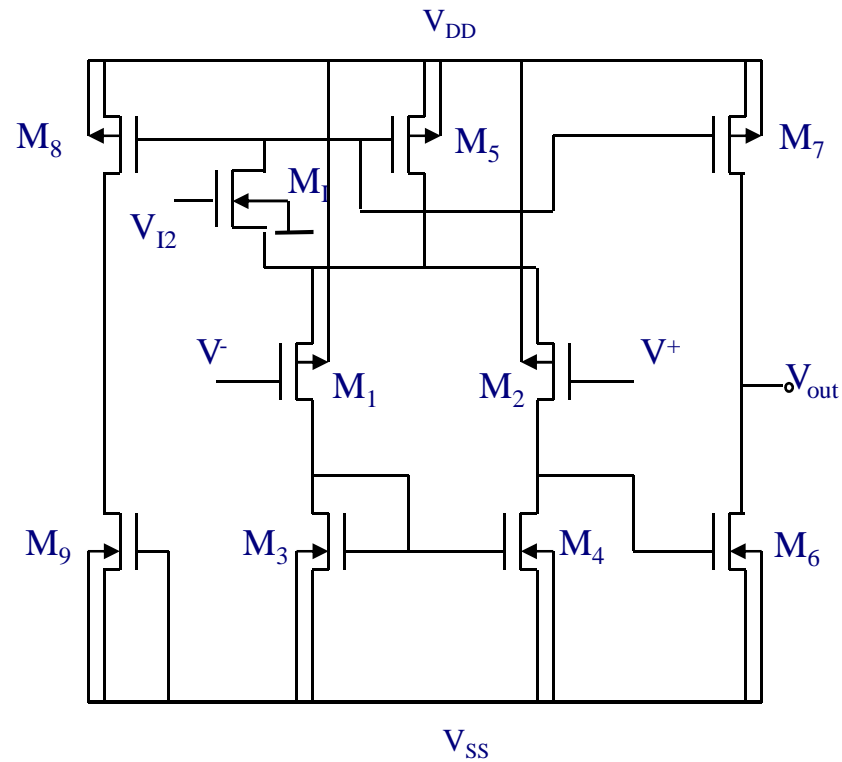


## Injection du défaut 1 dans l'AOP CMOS



*Allure du courant  $I_{DDQ}$  arrivant à la masse*

## Injection du défaut 2 dans l'AOP CMOS

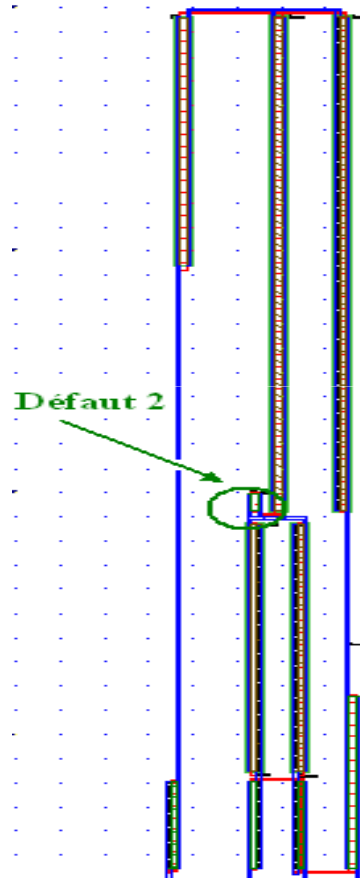


L'amplificateur opérationnel CMOS avec provocation du défaut2

## Injection du défaut 2 dans l'AOP CMOS

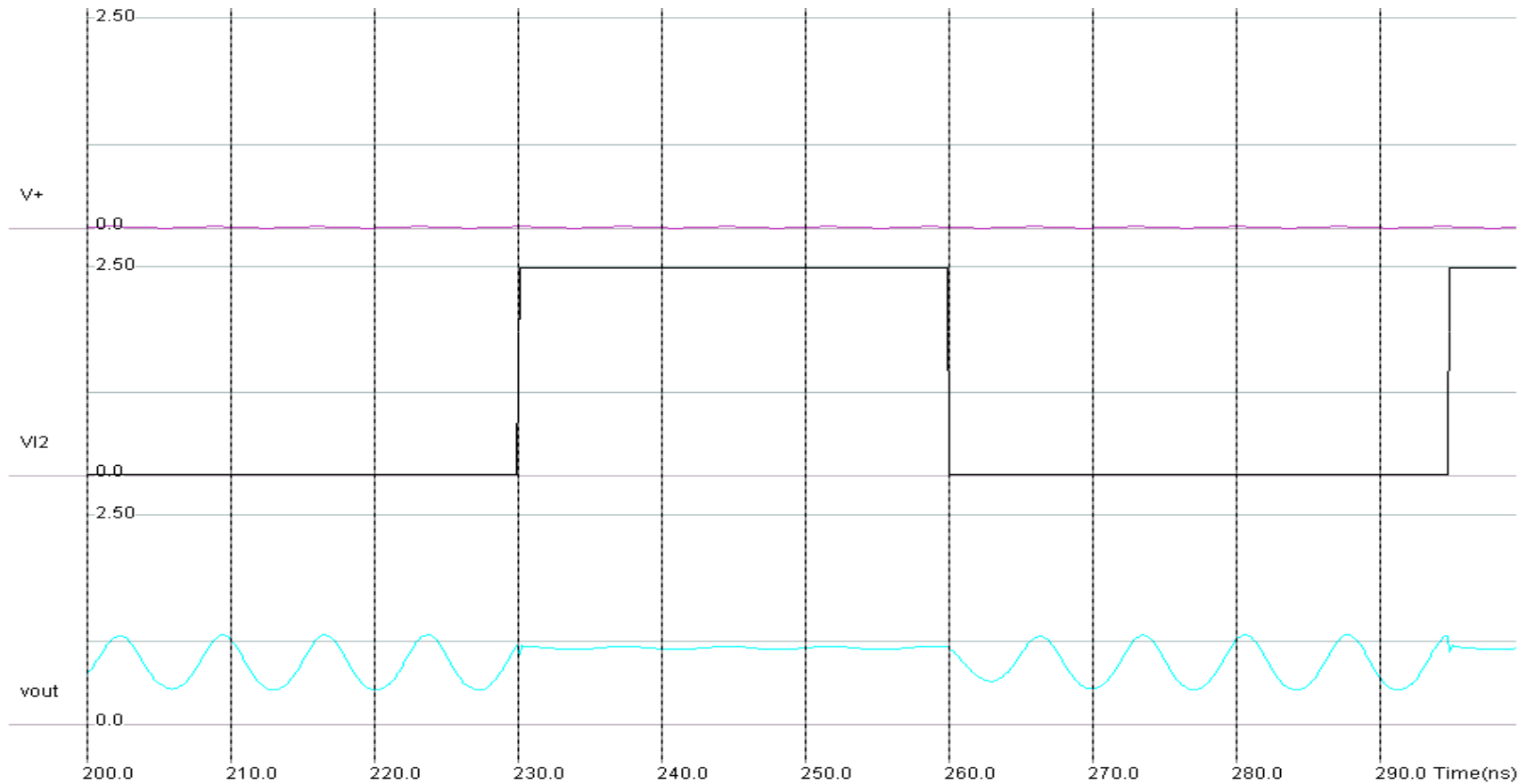
---

---



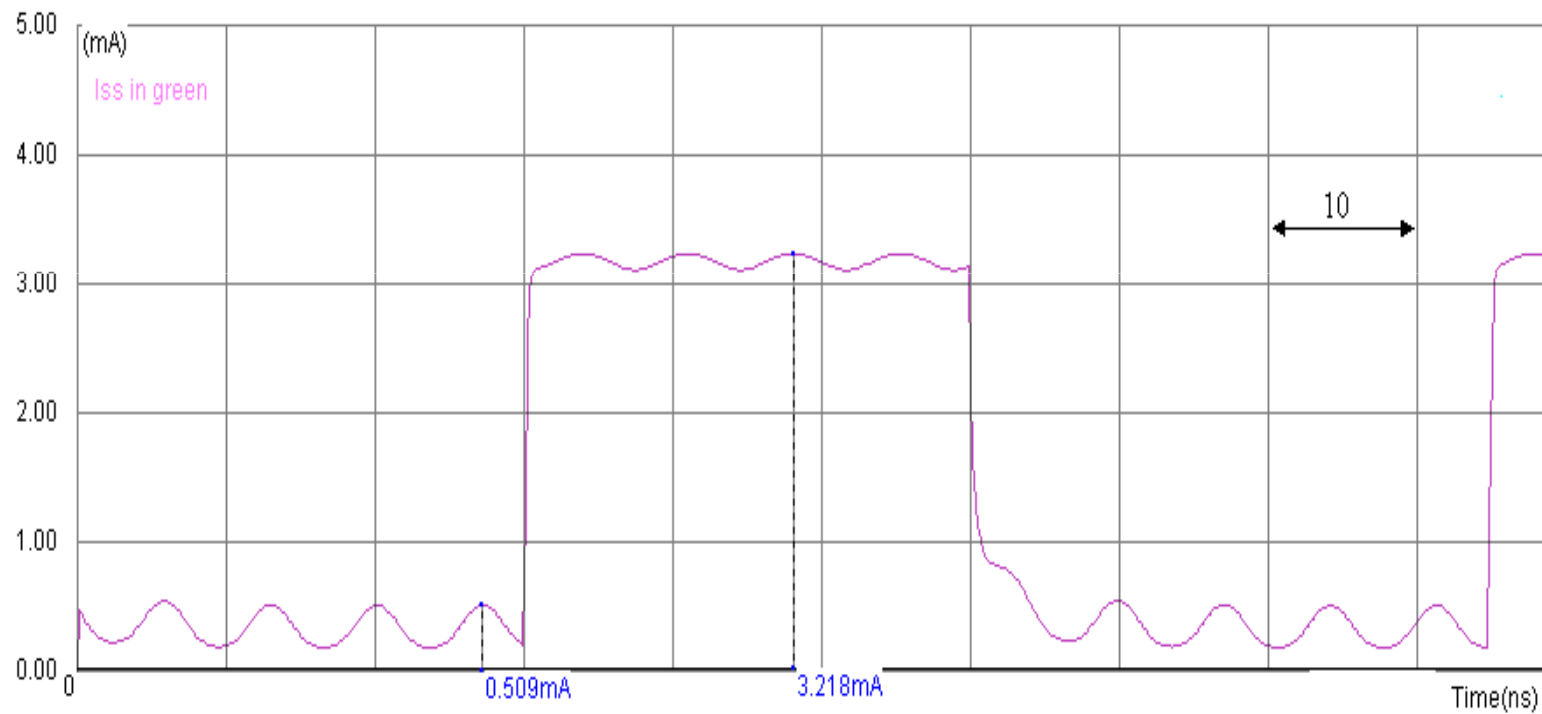
Layout de l'AOP CMOS présentant le défaut 2 en technologie 0.25 $\mu$ m

## Injection du défaut 2 dans l'AOP CMOS



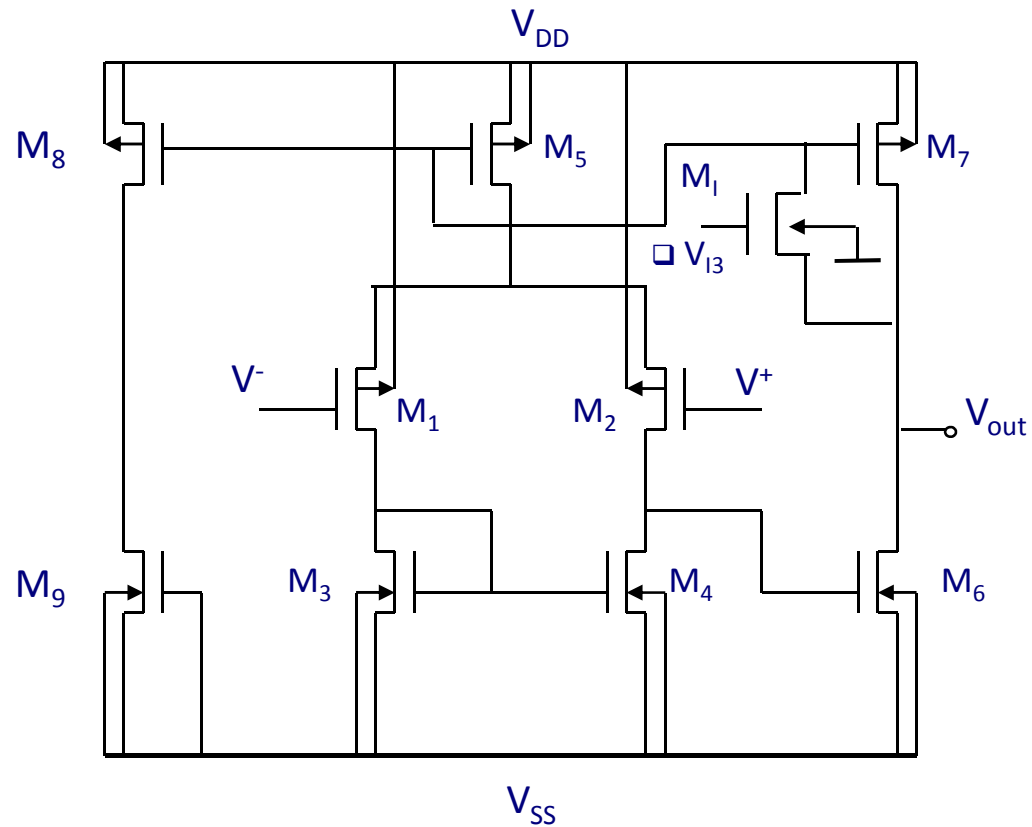
Allures du signal d'activation VI2 du transistor MI, de la tension d'entrée v+ et celle de sortie Vout.

## Injection du défaut 2 dans l'AOP CMOS



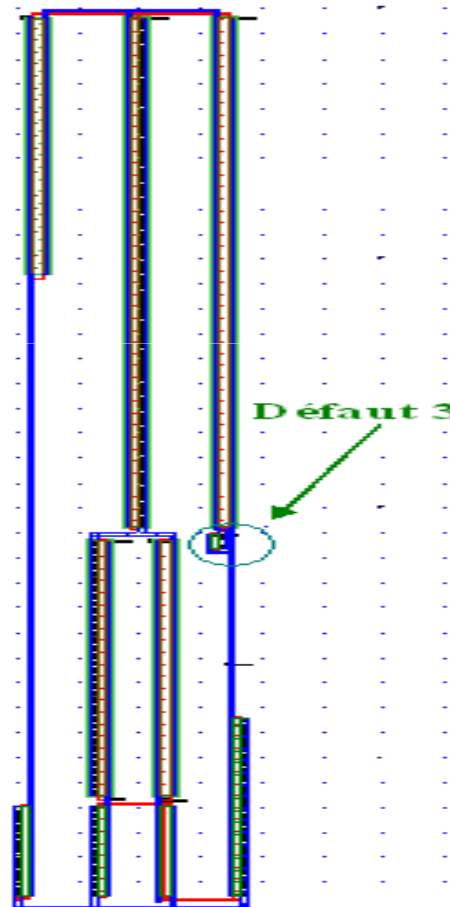
*Allure du courant  $I_{DDQ}$  arrivant à la masse*

## Injection du défaut 3 dans l'AOP CMOS



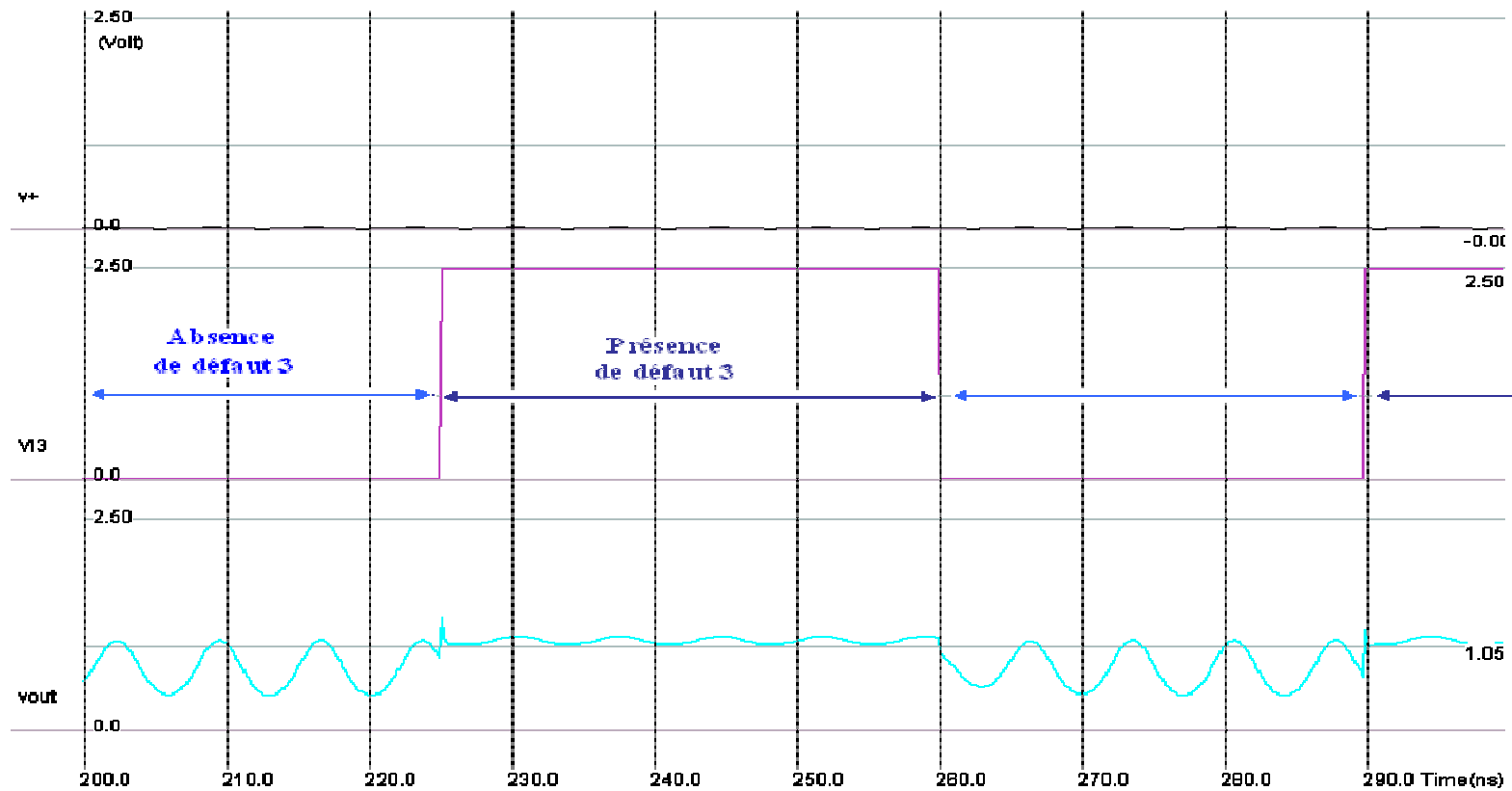
L'amplificateur opérationnel CMOS avec provocation du défaut2

## Injection du défaut 3 dans l'AOP CMOS



Layout de l'AOP CMOS présentant le défaut 3 en technologie 0.25 $\mu$ m

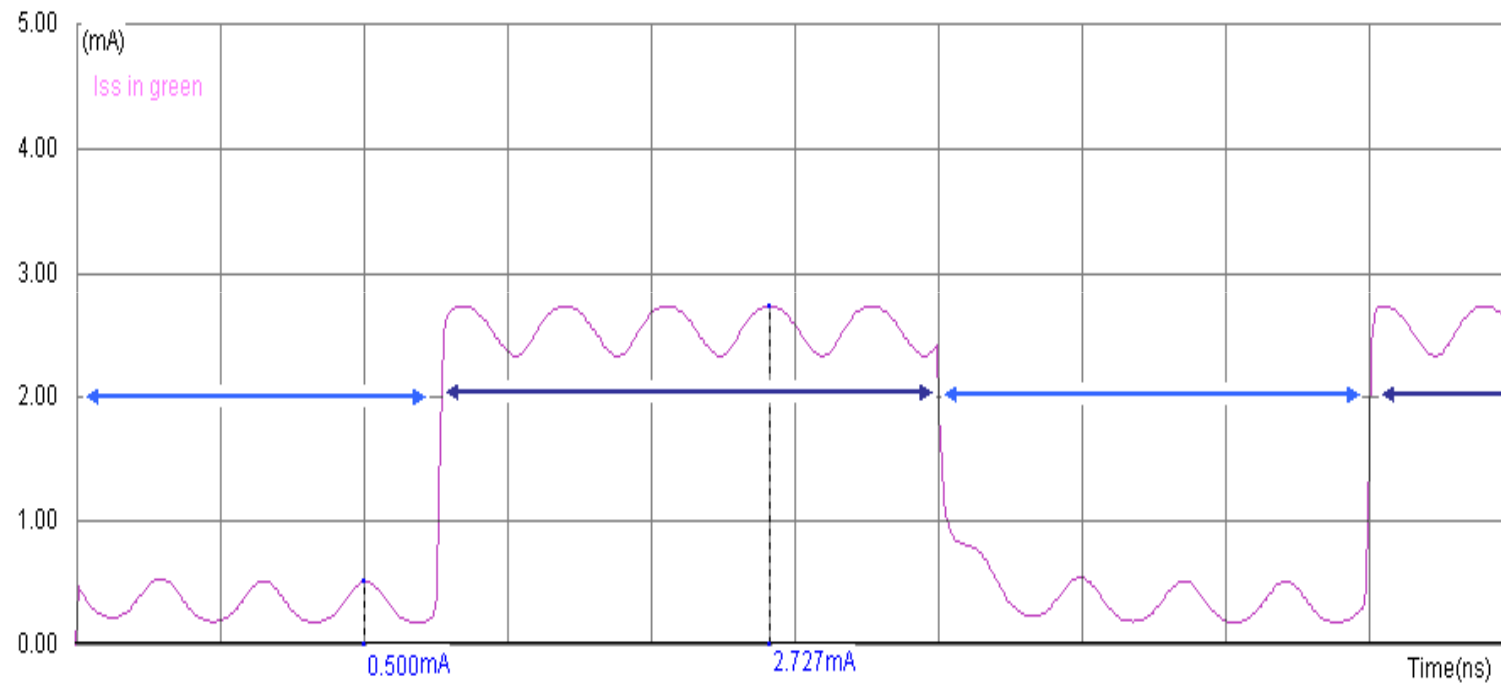
## Injection du défaut 3 dans l'AOP CMOS



Allures du signal d'activation VI3 du transistor MI, de la tension d'entrée v+ et celle de sortie Vout.

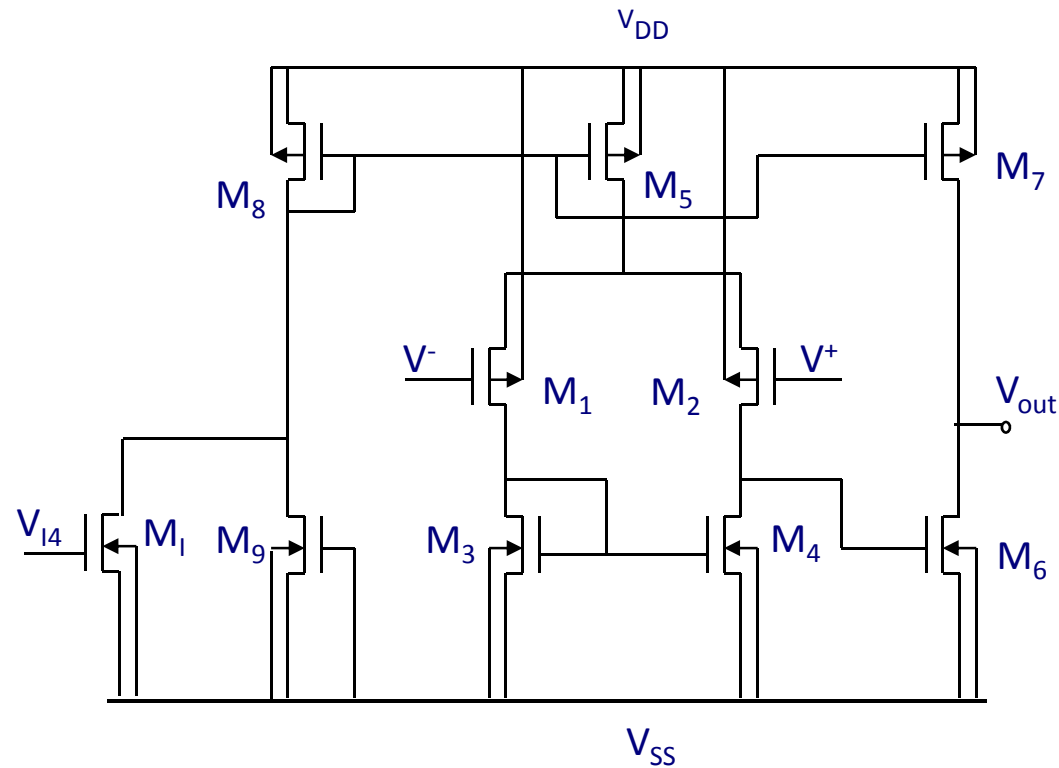


## Injection du défaut 3 dans l'AOP CMOS



*Allure du courant  $I_{DDQ}$  arrivant à la masse*

## Injection du défaut 4 dans l'AOP CMOS

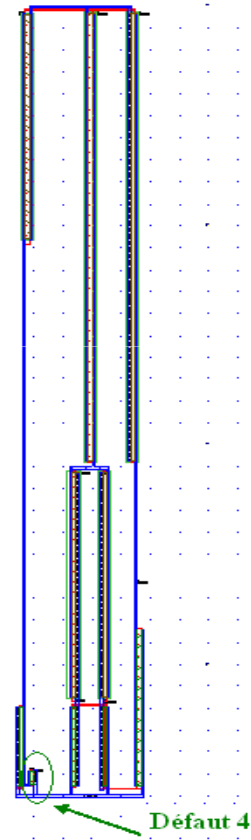


L'amplificateur opérationnel CMOS avec provocation du défaut 4

## Injection du défaut 4 dans l'AOP CMOS

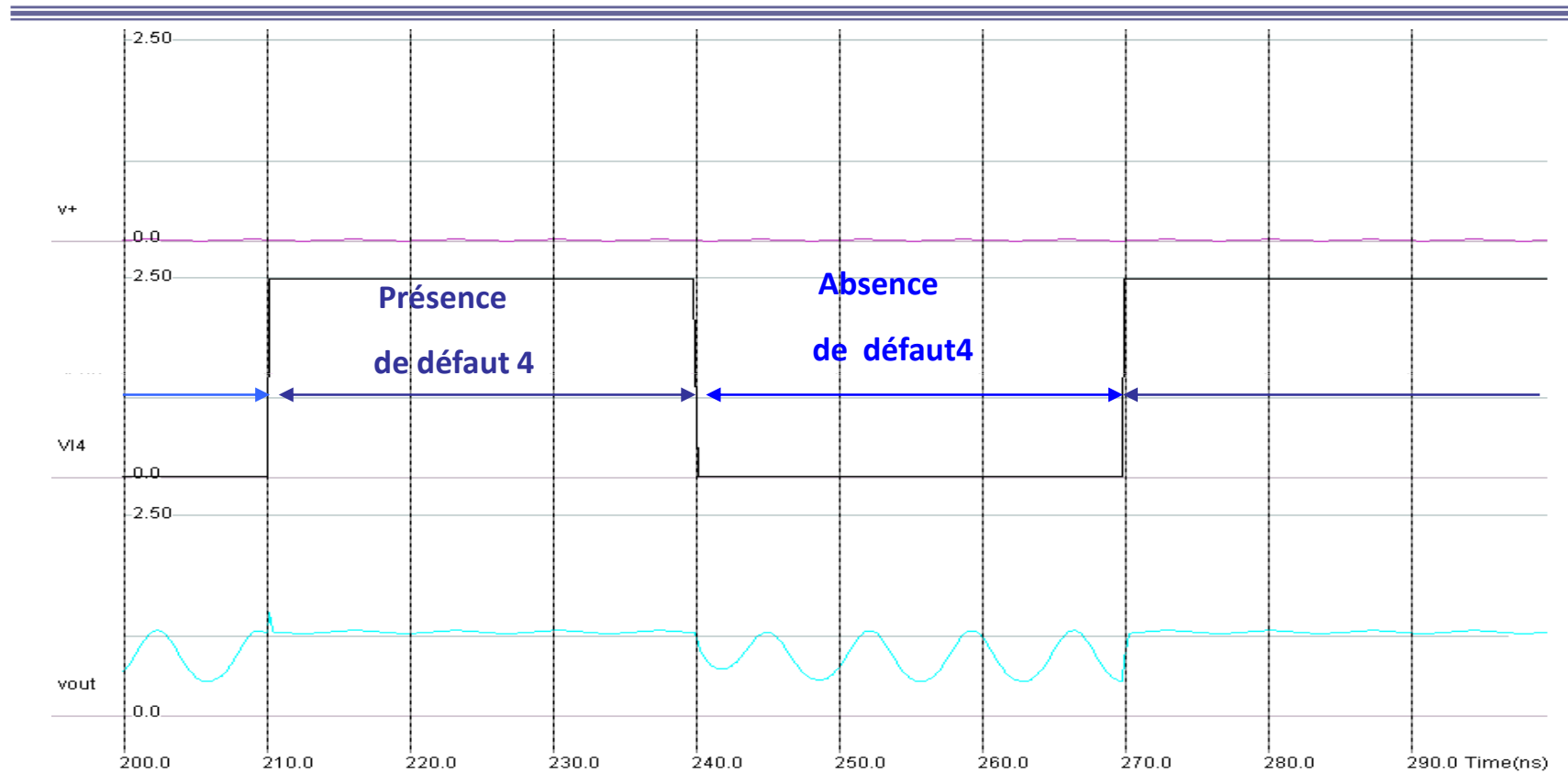
---

---



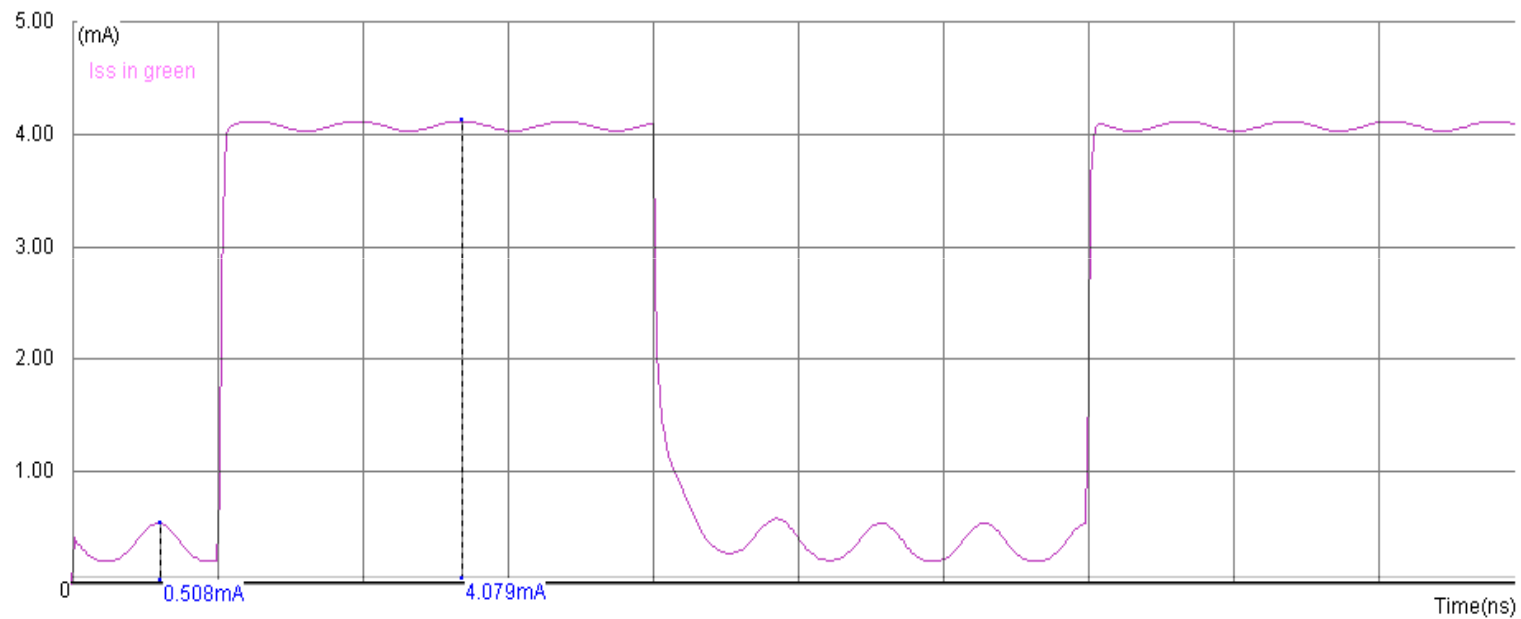
Layout de l'AOP CMOS présentant le défaut 2 en technologie 0.25 $\mu$ m

## Injection du défaut 4 dans l'AOP CMOS



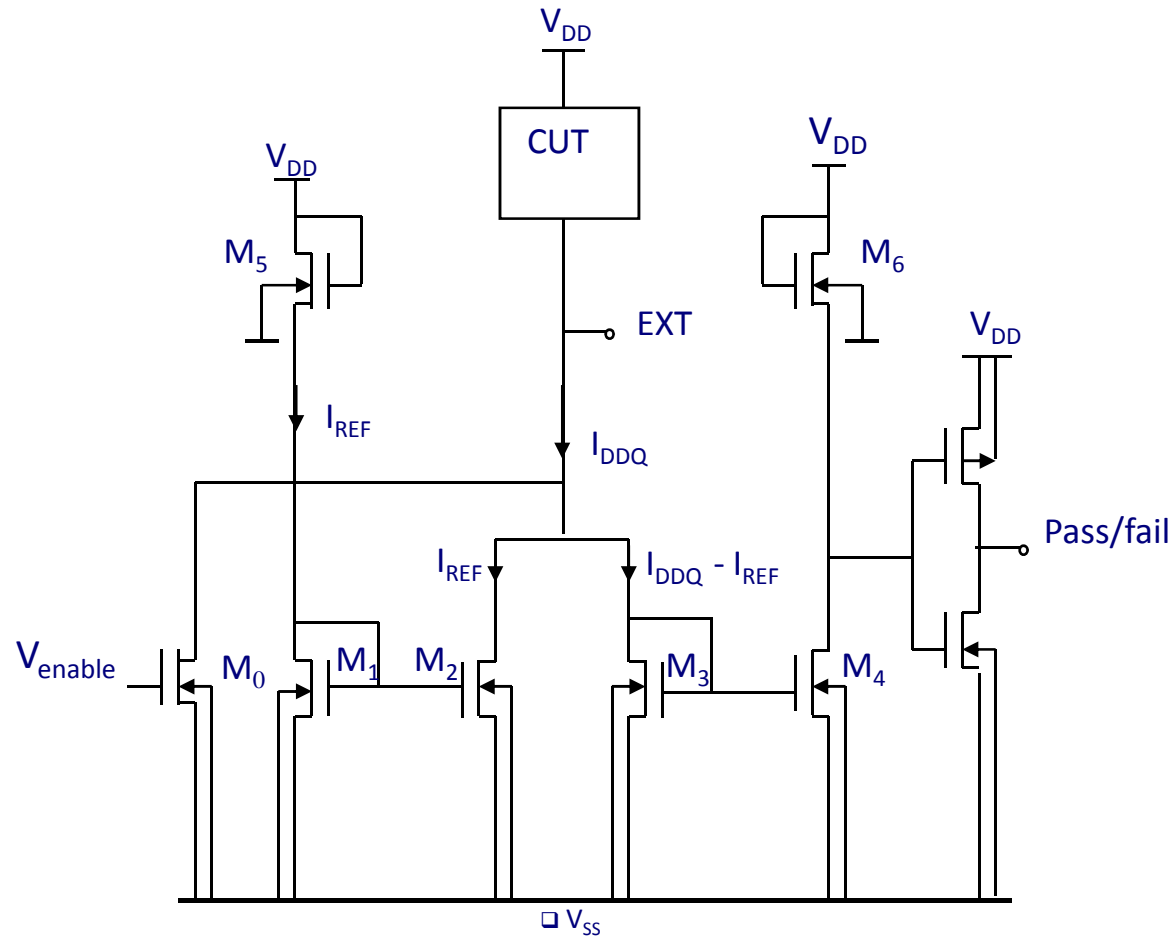
Allures du signal d'activation  $VI4$  du transistor  $MI$ , de la tension d'entrée  $v+$  et celle de sortie  $Vout$ .

## Injection du défaut 4 dans l'AOP CMOS



*Allure du courant  $I_{DDQ}$  arrivant à la masse*

# Implémentation du BICS

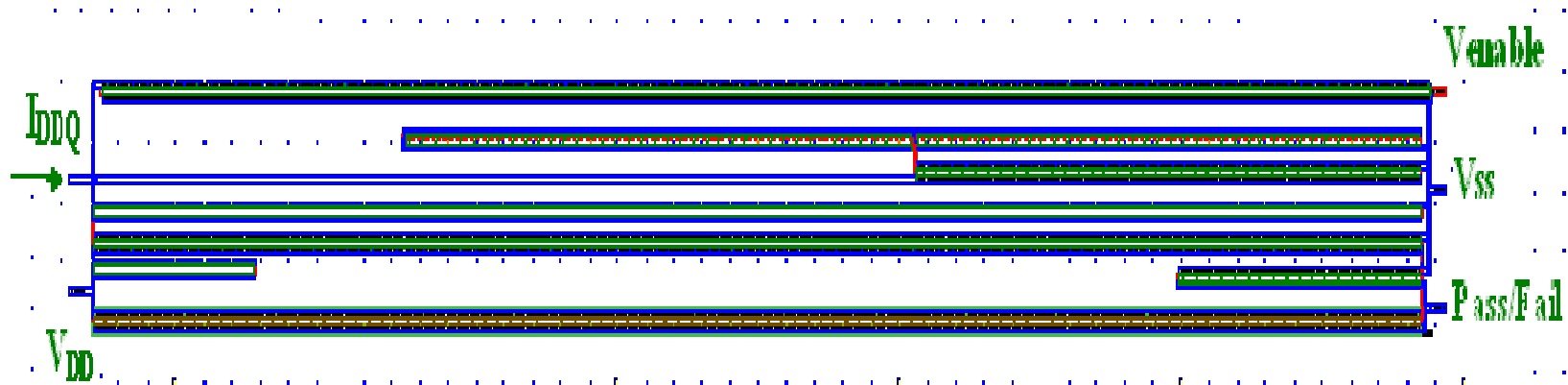


Capteur de courant intégré en technologie CMOS 0.25µm

# Implémentation du BICS

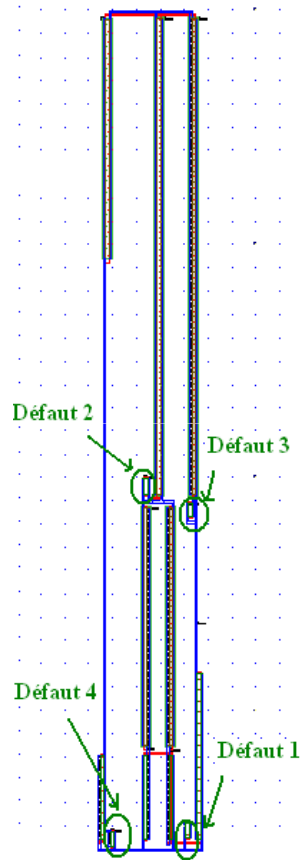
---

---



Layout du capteur de courant intégré en technologie 0.25 $\mu$ m

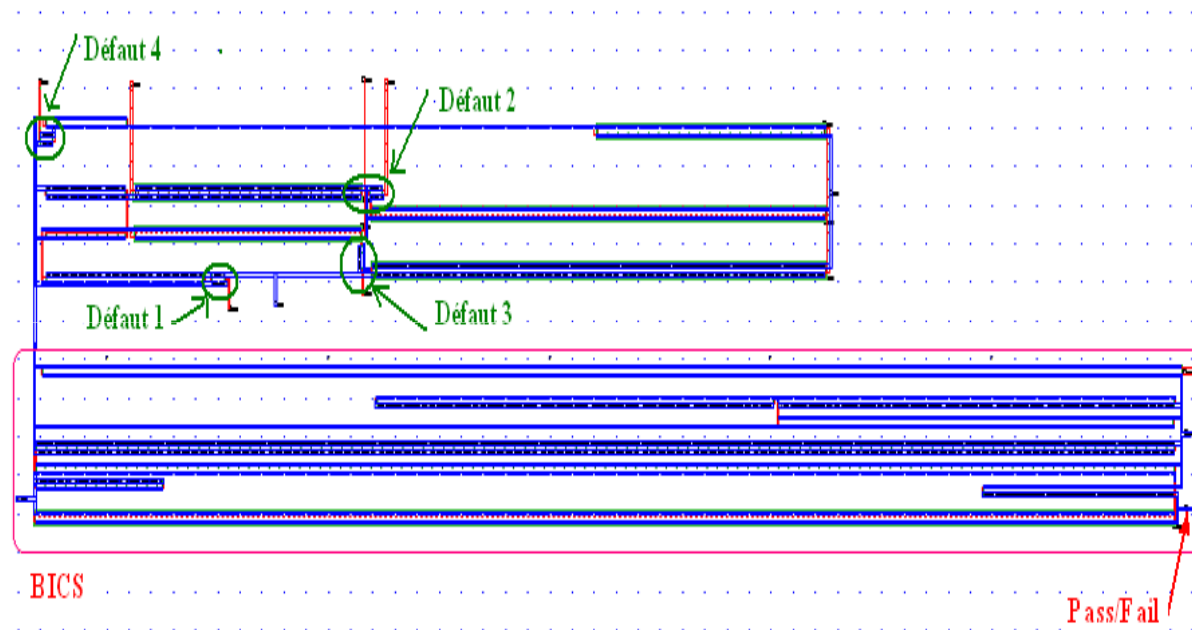
# Implémentation du BICS



layout correspondant à l'AOP CMOS présentant les quatre défauts

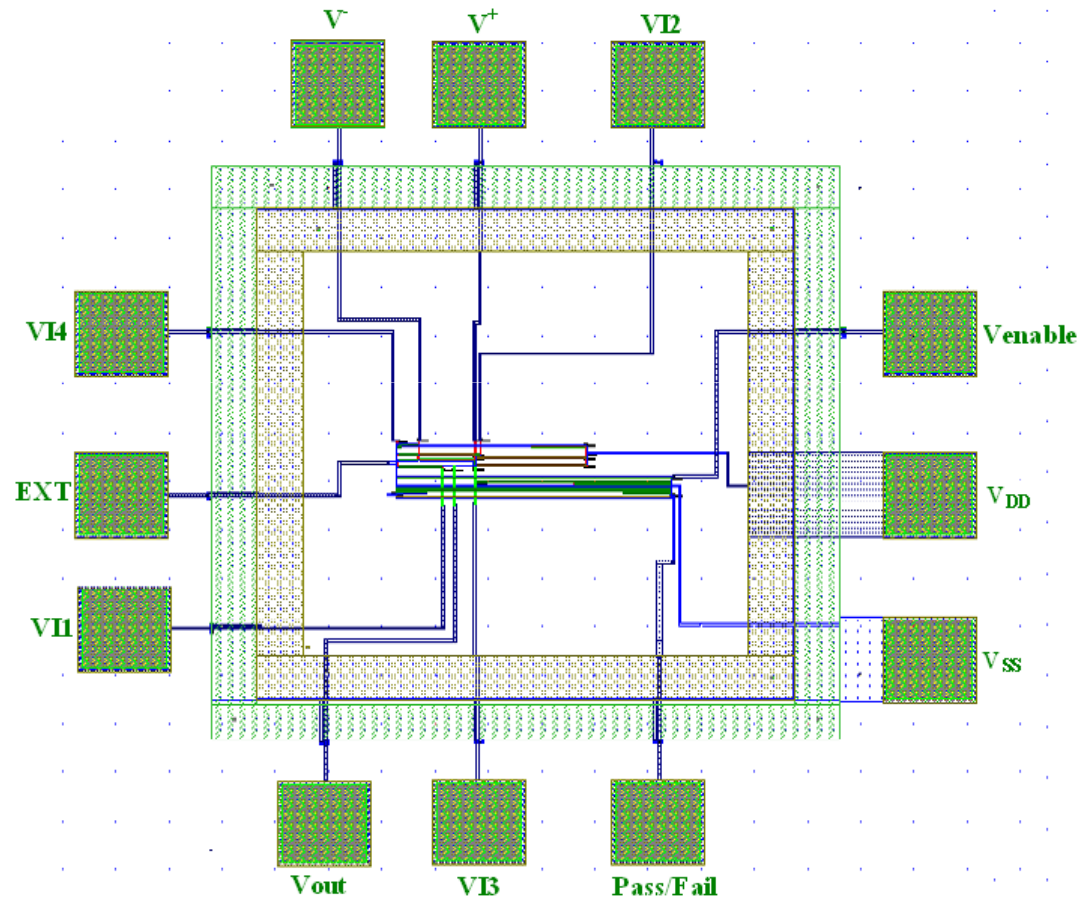


# Implémentation du BICS



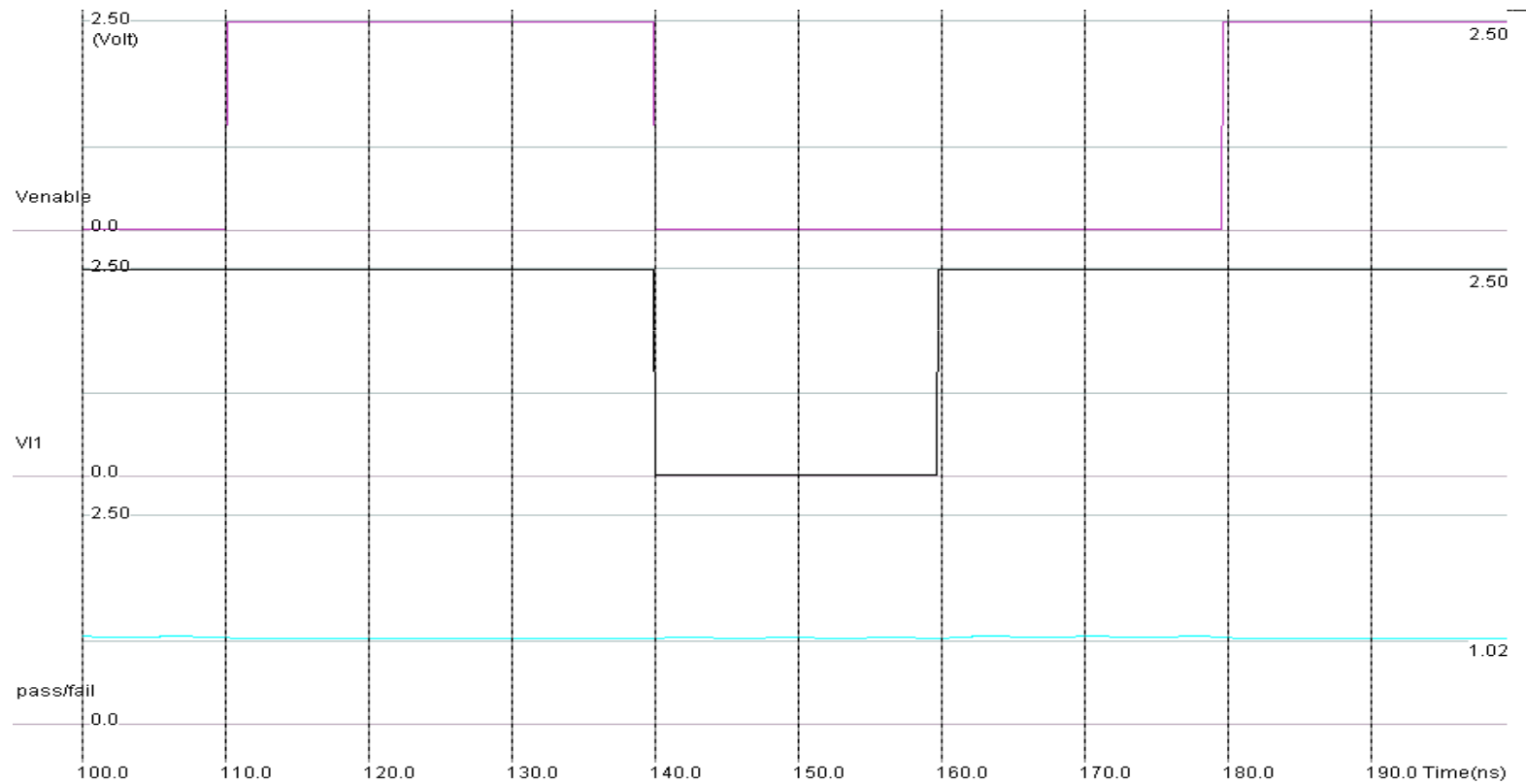
Layout en technologie 0.25µm du capteur de courant intégré inséré en série entre l'AOP CMOS présentant les quatre défauts et la masse

## les plots d'entrée/sortie



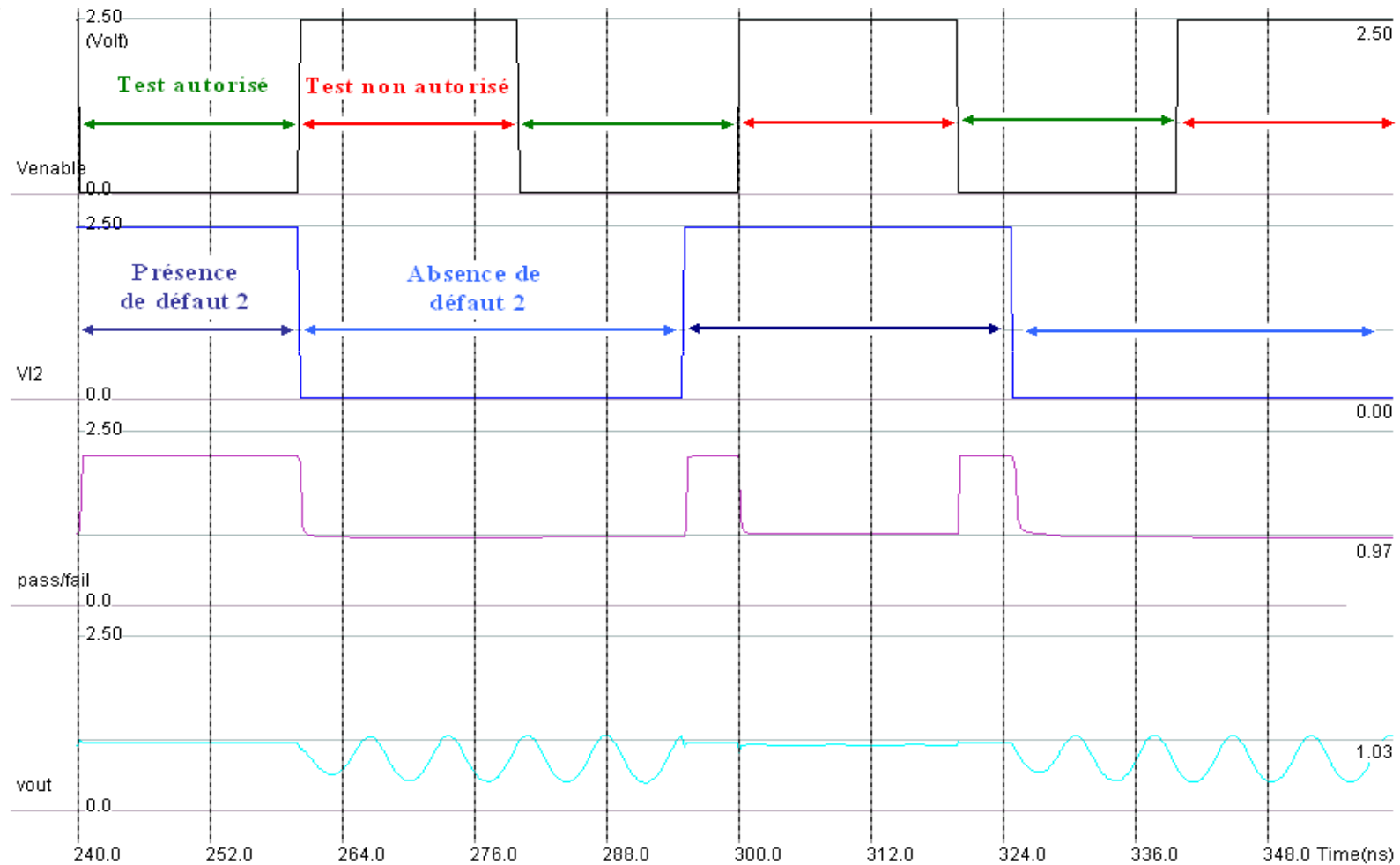
Dessin physique d'un AOP CMOS auto contrôlable par un BICS en technologie 0.25µm

# Résultats de simulations



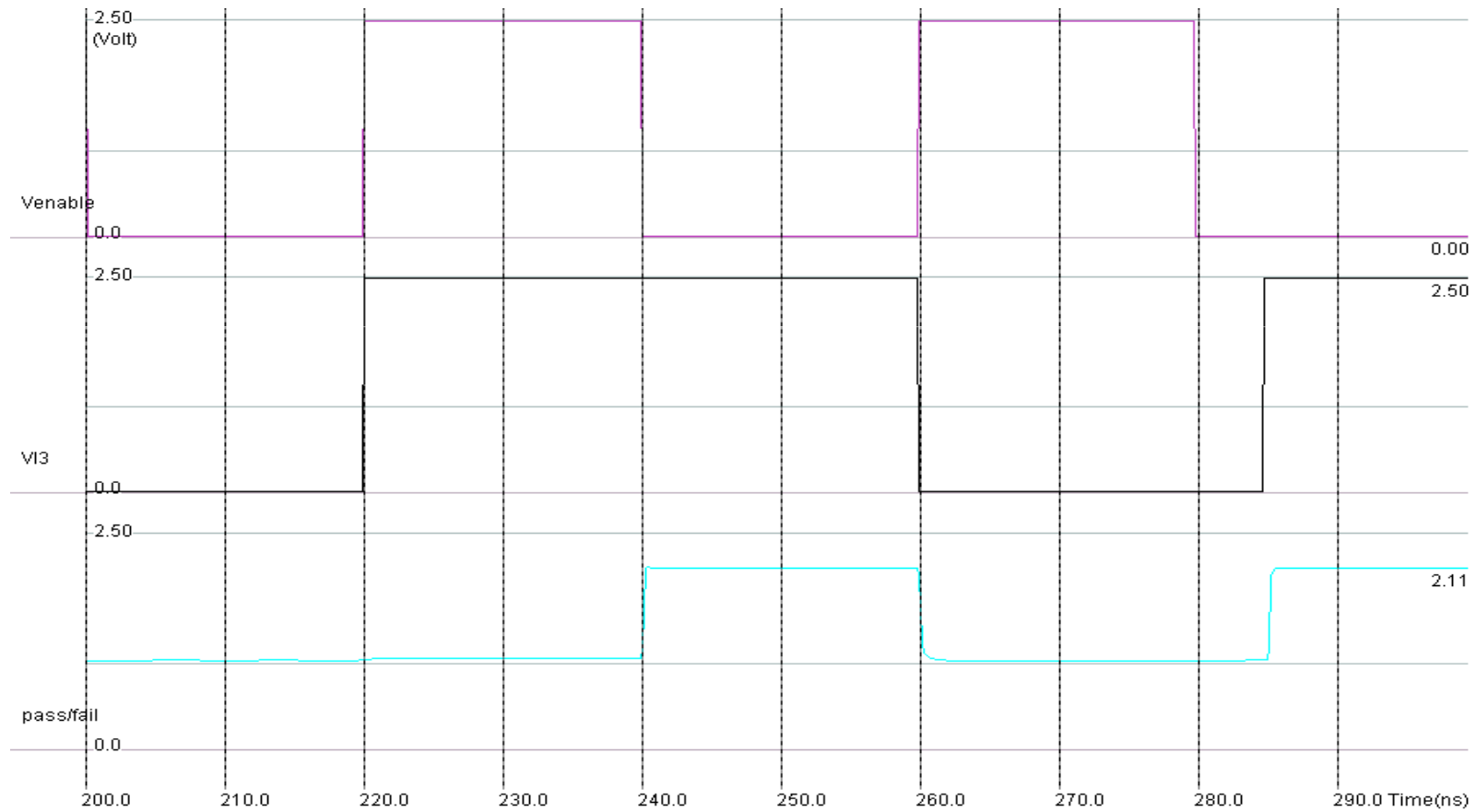
**Une simulation SPICE avec provocation du défaut 1**

# Résultats de simulations

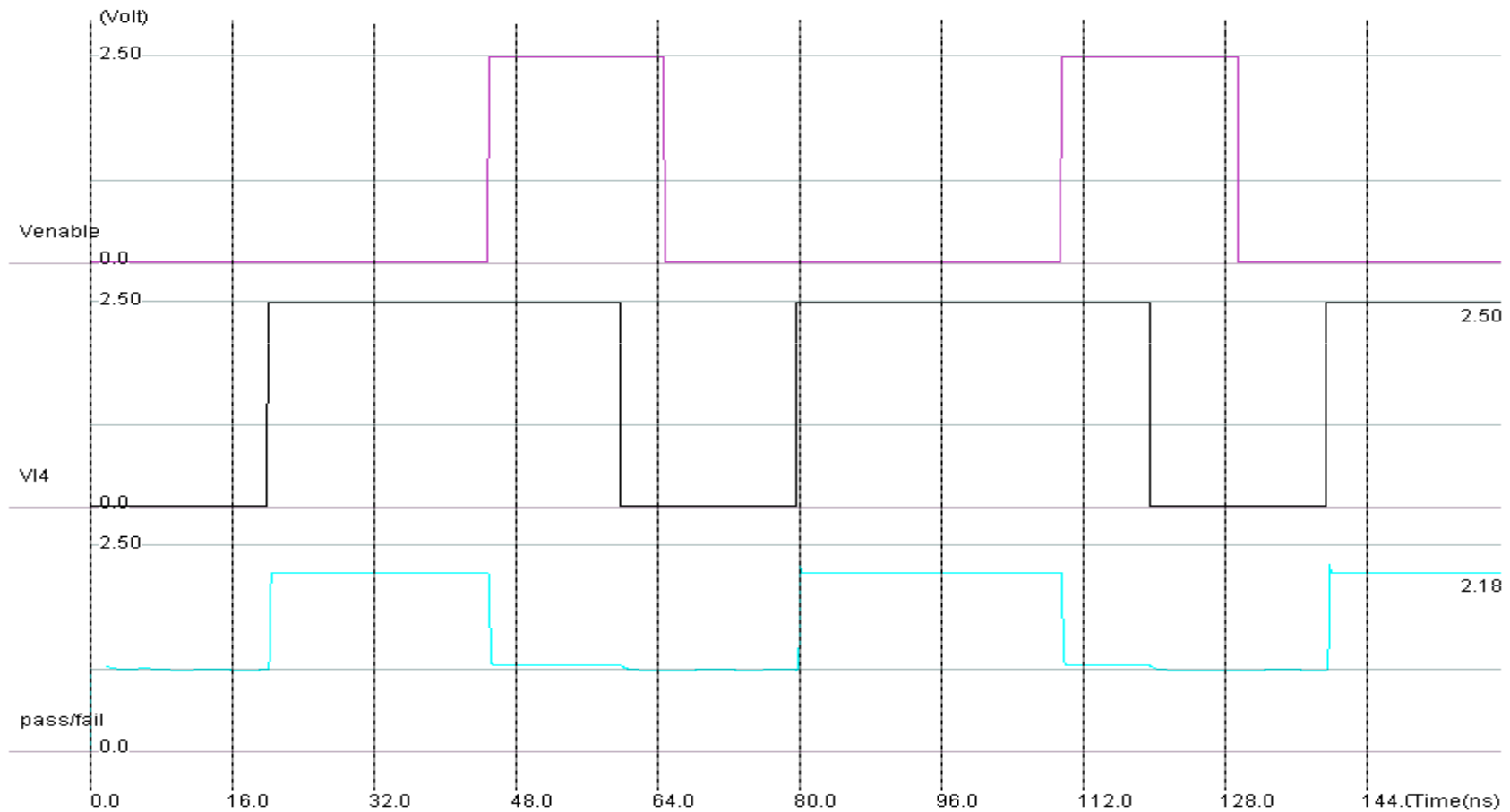


Une simulation SPICE avec provocation du défaut 2

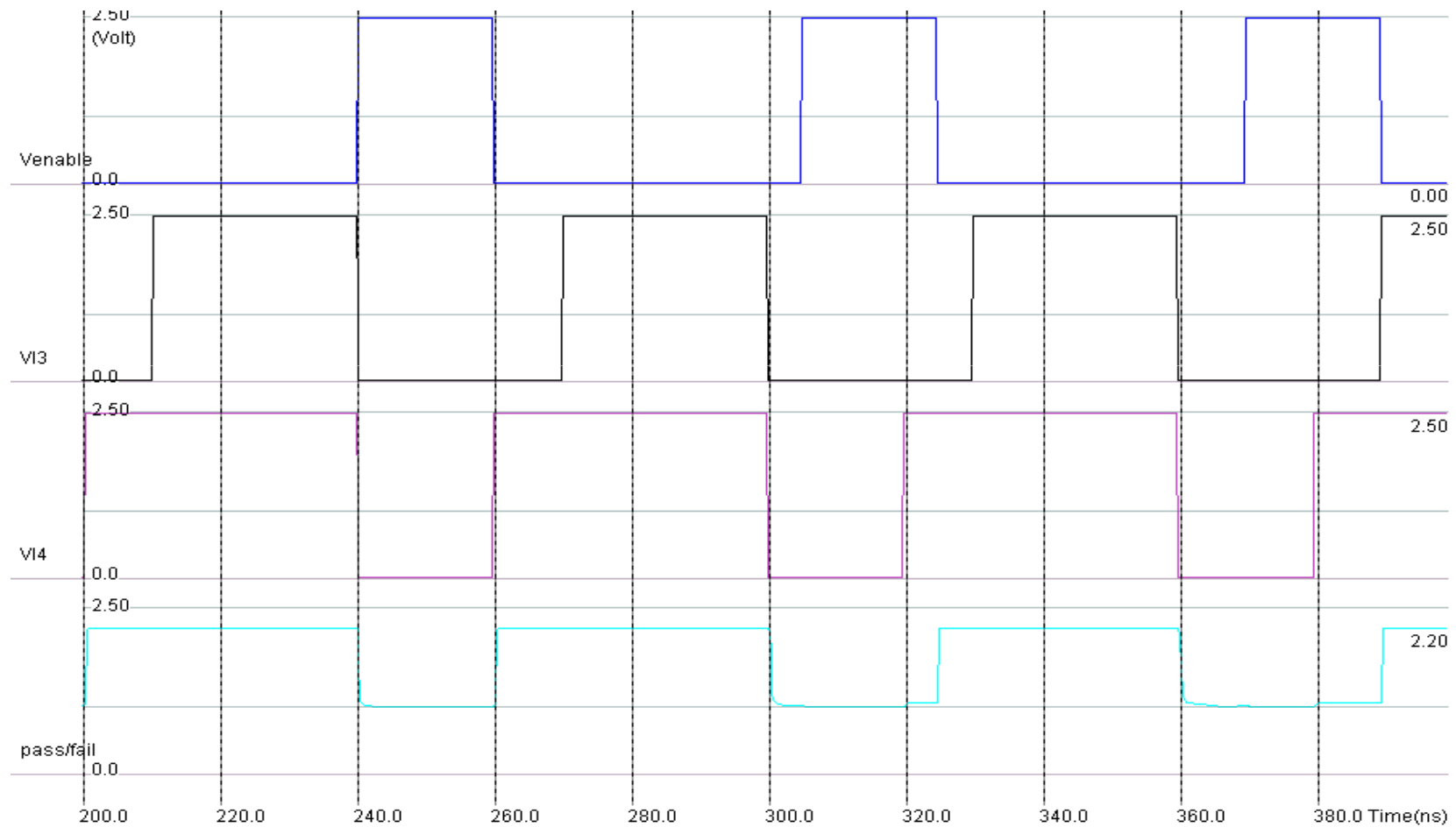
# Résultats de simulations



# Résultats de simulations

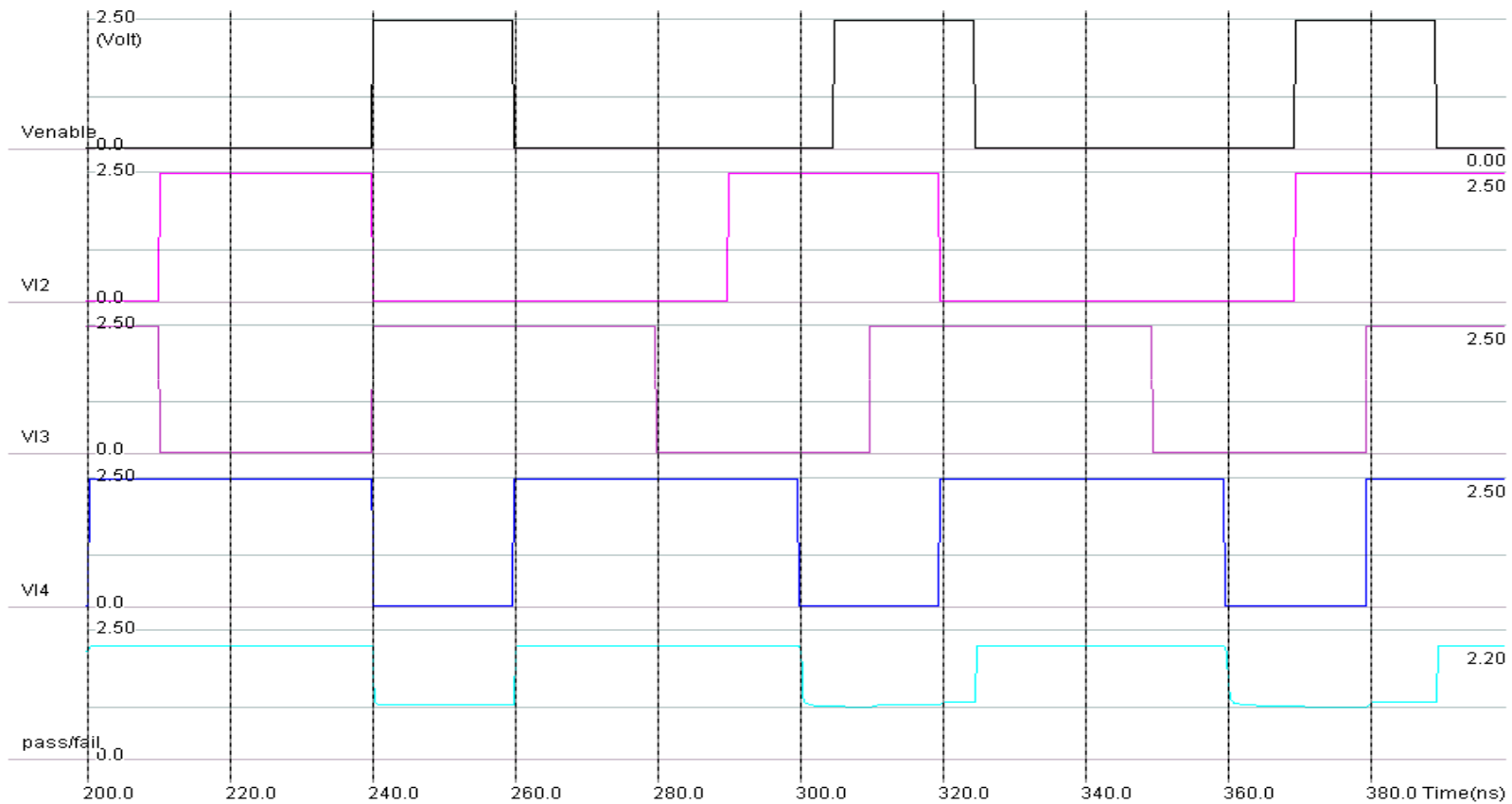


## Résultats de simulations



Une simulation SPICE avec provocation simultanée des défauts 3 et 4 55

# Résultats de simulations



Une simulation SPICE avec provocation simultanée des défauts 2, 3 et 4





# Plan de l'exposé

---

---

- Introduction
- Test des circuits intégrés
- Les méthodes de test des circuits intégrés
- Etude d'un amplificateur opérationnel CMOS
- Le test de courant  $I_{DDQ}$  utilisant un capteur de courant intégré
- Conclusion et perspectives



## Conclusion et perspectives

---

---

- D'après les résultats de simulation on peut conclure que le test  $I_{DDQ}$  s'est montré très efficace puisque le capteur de courant intégré a détecté la majorité des fautes injectées dans l'AOP CMOS en utilisant un transistor d'injection de fautes.
  
- Ainsi, nous avons vu que le capteur du courant intégré est une solution possible pour la détection des fautes dans les circuits intégrés CMOS, mais il ne faut pas négliger l'impact de l'introduction de ce capteur sur les performances du circuit sous test.



Merci pour votre  
attention